

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

013381447 **Image available**

WPI Acc No: 2000-553385/200051

XRFX Acc No: N00-409813

CMOS type thin film transistor has n-type impurity area which is formed contacting channel formation area, and overlaps gate insulating film of p-channel TFT

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000216398	A	20000804	JP 99326062	A	19991116	200051 B

Priority Applications (No Type Date): JP 98325708 A 19981116

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000216398 A		31	H01L-029/786	

Abstract (Basic): JP 2000216398 A

NOVELTY - A gate electrode and n-type layer are formed with contacting a gate insulating film of n-channel TFT. The channel formation area with p-type layer, is formed contacting n-type layer and gate insulating film. P-type impurity area is formed contacting n-type impurity area which is formed contacting channel formation area. A portion of n-type impurity area overlaps gate insulating film of p-channel TFT.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for manufacturing method of semiconductor device.

USE - For active matrix type electroluminescence (EL) display device.

ADVANTAGE - Stable operation is obtained, even if voltage of 15-20 V is impressed to n-channel TFT. Improves durability and reliability of driving circuit of LCD.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view of TFT.

pp; 31 DwgNo 1/29

Title Terms: CMOS; TYPE; THIN; FILM; TRANSISTOR; N; TYPE; IMPURE; AREA; FORMING; CONTACT; CHANNEL; FORMATION; AREA; OVERLAP; GATE; INSULATE; FILM; P; CHANNEL; TFT

Derwent Class: P81; P85; U11; U12; U13; U14

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): G02F-001/1365; G09F-009/00; G09F-009/30; H01L-021/336; H01L-021/8238; H01L-027/08; H01L-027/092

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

06630584 **Image available**
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: **2000-216398** [JP 2000216398 A]
PUBLISHED: August 04, 2000 (20000804)
INVENTOR(s): NAKAJIMA SETSUO
 OTANI HISASHI
 YAMAZAKI SHUNPEI
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 11-326062 [JP 99326062]
FILED: November 16, 1999 (19991116)
PRIORITY: 10-325708 [JP 98325708], JP (Japan), November 16, 1998 (19981116)
INTL CLASS: H01L-029/786; H01L-021/336; G02F-001/1365; G09F-009/00;
 G09F-009/30; H01L-021/8238; H01L-027/092; H01L-027/08

ABSTRACT

PROBLEM TO BE SOLVED: To provide a crystalline TFT which can prevent off-current from being increased, and at the same time, which can prevent an ON current from being degraded.

SOLUTION: As the gate electrode of a crystalline TFT, a first gate electrode and a second gate electrode, which is formed so as to come into contact with a gate insulating film, are formed. An LDD region is formed by making use of the first gate electrode as a mask, A source region and a drain region are formed by making use of the second gate electrode as a mask. Then, a structure is formed in such a way that, by removing a part of the second gate electrode, a region in which the LDD region does not overlap with the second gate electrode via the gate insulating film is formed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-216398

(P2000-216398A)

(43) 公開日 平成12年8月4日 (2000.8.4)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 A
21/336		G 0 9 F 9/00	3 4 2
G 0 2 F 1/1365		9/30	3 3 8
G 0 9 F 9/00	3 4 2	H 0 1 L 27/08	3 3 1 E
9/30	3 3 8	G 0 2 F 1/136	5 0 0

審査請求 未請求 請求項の数31 O L (全 31 頁) 最終頁に続く

(21) 出願番号 特願平11-326062

(22) 出願日 平成11年11月16日 (1999. 11. 16)

(31) 優先権主張番号 特願平10-325708

(32) 優先日 平成10年11月16日 (1998. 11. 16)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 中嶋 節男

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 山崎 舜平

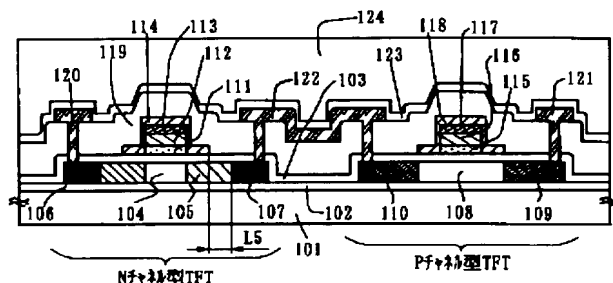
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 オフ電流の増加とオン電流の劣化を同時に防ぐことのできる結晶性TFTを得ることを目的とする。

【解決手段】 結晶性TFTのゲート電極を、第1のゲート電極と、前記第1のゲート電極とゲート絶縁膜に接して設けられる第2のゲート電極とを形成する。LDD領域を前記第1のゲート電極をマスクとして形成し、ソース領域およびドレイン領域を前記第2のゲート電極をマスクとして形成する。そして、前記第2のゲート電極の一部を除去することにより、LDD領域がゲート絶縁膜を介して第2のゲート電極と重なる領域と重ならない領域を設けた構造とする。



101:基板、102:下地膜、103:ゲート絶縁膜、104、108:チャネル形成領域、105:第1の不純物領域(n型)、106:ソース領域(n型)、107:ドレイン領域(p)、109:ソース領域(n型)、110:ドレイン領域(n型)、111、115:導電層(A)、112、116:導電層(B)、113、117:導電層(C)、114、118:第2の導電層、119:第1の層間絶縁膜、120、121:ソース配線、122:ドレイン配線、123:A'Spacer膜、124:第2の層間絶縁膜

【特許請求の範囲】

【請求項1】各画素にnチャネル型薄膜トランジスタが設けられた画素部を有する半導体装置において、前記nチャネル型薄膜トランジスタのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、前記第1の導電層と前記ゲート絶縁膜とに接して形成された第2の導電層とを有し、

前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された一導電型の第1の不純物領域と、該第1の不純物領域に接して形成された一導電型の第2の不純物領域とを有し、

前記第1の不純物領域の一部は、前記第2の導電層の前記ゲート絶縁膜に接する領域と重なっていることを特徴とする半導体装置。

【請求項2】nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとで形成されたCMOS回路を有する半導体装置において、

前記nチャネル型薄膜トランジスタのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、前記第1の導電層と前記ゲート絶縁膜とに接して形成された第2の導電層とを有し、

前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された一導電型の第1の不純物領域と、該第1の不純物領域に接して形成された一導電型の第2の不純物領域とを有し、

前記第1の不純物領域の一部は、前記第2の導電層の前記ゲート絶縁膜に接する領域と重なっていることを特徴とする半導体装置。

【請求項3】各画素にnチャネル型薄膜トランジスタで形成された画素部と、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとで形成されたCMOS回路とを有する半導体装置において、

前記画素部と前記CMOS回路のnチャネル型薄膜トランジスタとのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、前記第1の導電層と、前記ゲート絶縁膜とに接して形成された第2の導電層とを有し、

前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された一導電型の第1の不純物領域と、該第1の不純物領域に接して形成された一導電型の第2の不純物領域とを有し、

前記第1の不純物領域の一部は、前記第2の導電層の前記ゲート絶縁膜に接する領域と重なっていることを特徴とする半導体装置。

【請求項4】一つの画素に、二つのnチャネル型薄膜トランジスタを有する半導体装置において、前記nチャネル型薄膜トランジスタとのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、前記

第1の導電層と、前記ゲート絶縁膜とに接して形成された第2の導電層とを有し、

前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された一導電型の第1の不純物領域と、該第1の不純物領域に接して形成された一導電型の第2の不純物領域とを有し、

前記第1の不純物領域の一部は、前記第2の導電層の前記ゲート絶縁膜に接する領域と重なっていることを特徴とする半導体装置。

【請求項5】請求項4において、少なくとも一つのnチャネル型薄膜トランジスタはマルチゲート構造を有することを特徴とする半導体装置。

【請求項6】請求項4において、前記nチャネル型薄膜トランジスタの少なくとも一方には、発光層を有する素子が接続されていることを特徴とする半導体装置。

【請求項7】一つの画素に、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとを有する半導体装置において、

前記nチャネル型薄膜トランジスタとのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、前記第1の導電層と、前記ゲート絶縁膜とに接して形成された第2の導電層とを有し、

前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された一導電型の第1の不純物領域と、該第1の不純物領域に接して形成された一導電型の第2の不純物領域とを有し、

前記第1の不純物領域の一部は、前記第2の導電層の前記ゲート絶縁膜に接する領域と重なっていることを特徴とする半導体装置。

【請求項8】請求項7において、少なくとも一つのnチャネル型薄膜トランジスタはマルチゲート構造を有することを特徴とする半導体装置。

【請求項9】請求項7において、前記pチャネル型薄膜トランジスタには、発光層を有する素子が接続されていることを特徴とする半導体装置。

【請求項10】請求項1乃至請求項9のいずれか1項において、

前記第1の不純物領域は、LDD領域を形成し、前記第2の不純物領域は、ソース領域またはドレイン領域を形成していることを特徴とする半導体装置。

【請求項11】請求項2または請求項3、または請求項7乃至請求項10のいずれか1項において、

前記pチャネル型薄膜トランジスタのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、前記第1の導電層と前記ゲート絶縁膜とに接して形成された第2の導電層とを有し、

pチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された一

導電型とは逆の導電型の第3の不純物領域と、から成ることを特徴とする半導体装置。

【請求項12】請求項1乃至請求項11のいずれか1項において、

前記第2の不純物領域に接して設けられ、前記第1の不純物領域と同じ導電型の半導体層と、前記ゲート絶縁膜と、前記第1の導電層と前記第2の導電層とから成る容量配線とから保持容量が形成されていることを特徴とする半導体装置。

【請求項13】請求項1乃至請求項12のいずれか1項において、

前記第1の導電層はチタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料で形成されることを特徴とする半導体装置。

【請求項14】請求項1乃至請求項12のいずれか1項において、

前記第1の導電層は、前記ゲート絶縁膜に接して形成される導電層(A)と、前記導電層(A)の上に形成される、一つまたは複数の導電層から形成されることを特徴とする半導体装置。

【請求項15】請求項14において、

前記導電層(A)は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料から形成され、前記導電層(A)の上に形成される一つまたは複数の導電層のうち、少なくとも一つの導電層は、アルミニウム(Al)、銅(Cu)から選ばれた元素の一種または、該元素を主成分とする合金材料で形成されることを特徴とする半導体装置。

【請求項16】請求項1乃至請求項12のいずれか1項において、

前記第2の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料から形成されることを特徴とする半導体装置。

【請求項17】請求項1乃至請求項12のいずれか1項において、

第1の不純物領域に含まれる不純物元素の濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

【請求項18】請求項1乃至請求項17のいずれか1項において、

前記半導体装置は、透過型または反射型の液晶表示装置、またはEL表示装置であることを特徴とする半導体装置。

【請求項19】請求項1乃至請求項18のいずれか1項において、

前記半導体装置は、携帯電話、ビデオカメラ、携帯型情報端末、ゴーグル型ディスプレイ、プロジェクションT

V、携帯型電子書籍、パーソナルコンピュータ、デジタルビデオディスクプレーヤー、デジタルカメラ、プロジェクター、液晶テレビから選ばれた一つであることを特徴とする半導体装置。

【請求項20】絶縁表面を有する基板上に半導体層を形成する第1の工程と、

前記半導体層に接してゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜に接して第1の導電層を形成する第3の工程と、

前記第1の導電層をマスクとして前記半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、

前記第1の導電層と前記ゲート絶縁膜とに接して第2の導電層を形成する第5の工程と、

前記第2の導電層をマスクとして前記半導体層に周期律表15族に属する元素を添加して第2の不純物領域を形成する第6の工程と、

前記第2の導電層の一部を除去する第7の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項21】絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、

前記第1の半導体層と第2の半導体層とに接してゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜に接して第1の導電層を形成する第3の工程と、

前記第1の導電層をマスクとして少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、

前記第1の導電層と前記ゲート絶縁膜とに接して、第2の導電層を形成する第5の工程と、

前記第2の導電層をマスクとして少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第2の不純物領域を形成する第6の工程と、

前記第2の導電層をマスクとして前記第2の半導体層のみに周期律表13族に属する元素を添加して第3の不純物領域を形成する第7の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項22】絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、

前記第1の半導体層と第2の半導体層とに接してゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜に接して第1の導電層を形成する第3の工程と、

前記第1の導電層をマスクとして少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、

前記第1の導電層と前記ゲート絶縁膜とに接して、第2の導電層を形成する第5の工程と、

前記第2の導電層をマスクとして少なくとも前記第1の

(4)

半導体層に周期律表15族に属する元素を添加して第2の不純物領域を形成する第6の工程と、
前記第2の導電層の一部を除去する第7の工程と、
前記第2の導電層をマスクとして前記第2の半導体層のみに周期律表13族に属する元素を添加して第3の不純物領域を形成する第8の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項23】請求項20乃至請求項22のいずれか1項において、

前記第1の不純物領域はLDD領域を形成し、前記第2の不純物領域は、ソース領域またはドレイン領域を形成していることを有することを特徴とする半導体装置の作製方法。

【請求項24】請求項20乃至請求項23のいずれか1項において、

前記第2の不純物領域から延在した半導体層に前記第1の不純物領域と同じ濃度で周期律表15族に属する元素を添加する工程と、
前記第1の導電層と前記第2の導電層で、容量配線を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項25】請求項20乃至請求項24のいずれか1項において、

前記第1の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料から形成されることを特徴とする半導体装置の作製方法。

【請求項26】請求項20乃至請求項24のいずれか1項において、

前記第1の導電層は、前記ゲート絶縁膜に接して形成される導電層(A)と、該導電層(A)の上に形成される一つまたは複数の導電層とから形成されることを特徴とする半導体装置の作製方法。

【請求項27】請求項26において、

前記導電層(A)は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料から形成され、
前記導電層(A)の上に形成される一つまたは複数の導電層のうち、少なくとも一つは、アルミニウム(Al)、銅(Cu)から選ばれた元素の一種または、該元素を主成分とする合金材料で形成されることを特徴とする半導体装置作製方法。

【請求項28】請求項20乃至請求項24のいずれか1項において、

前記第2の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料から成ることを特徴とする半導体装置の作製方法。

【請求項29】請求項20乃至請求項24のいずれか1項において、

前記第1の不純物領域に含まれる不純物元素の濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であることを特徴とする半導体装置の作製方法。

【請求項30】請求項20乃至請求項29のいずれか1項において、前記半導体装置は、透過型または反射型の液晶表示装置、またはEL表示装置であることを特徴とする半導体装置の作製方法。

【請求項31】請求項20乃至請求項30のいずれか1項において、

前記半導体装置は、携帯電話、ビデオカメラ、携帯型情報端末、ゴーグル型ディスプレイ、プロジェクションTV、携帯型電子書籍、パーソナルコンピュータ、デジタルビデオディスクプレーヤー、デジタルカメラ、プロジェクター、液晶テレビから選ばれた一つであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタで構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示装置およびその電気光学装置および電気光学装置を搭載した電子機器の構成に関する。なお、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器を範疇に含んでいる。

【0002】

【従来の技術】薄膜トランジスタ(以下、TFTと記す)は透明ガラス基板上に作製することができるので、アクティブマトリクス型液晶表示装置への応用開発が積極的に進められてきた。結晶構造を有する半導体層で形成したTFT(以下、結晶質TFTと記す)は高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能になった。

【0003】本願明細書において、前記結晶構造を有する半導体膜とは、単結晶半導体、多結晶半導体、微結晶半導体を含み、さらに、特開平7-130652号公報、特開平8-78329号公報、特開平10-135468号公報、または特開平10-135469号公報で開示された半導体を含んでいる。

【0004】アクティブマトリクス型液晶表示装置を構成するためには、画素部だけでも100~200万個の結晶質TFTが必要であり、さらに周辺に設けられる機能回路を付加するとそれ以上の数の結晶質TFTが必要であった。そして、液晶表示装置を安定に動作させるためには、個々の結晶質TFTの信頼性を確保しておく必要があった。

【0005】TFTなどの電界効果トランジスタの特性は、ドレイン電流とドレイン電圧が比例して増加する線

形領域と、ドレイン電圧が増加してもドレイン電流が飽和する飽和領域と、ドレイン電圧を印加しても理想的には電流が流れない遮断領域とに分けて考えることができる。本明細書では、線形領域と飽和領域をTFTのオン領域と呼び、遮断領域をオフ領域と呼ぶ。また、便宜上、オン領域のドレイン電流をオン電流と呼びオフ領域の電流をオフ電流と呼ぶ。

【0006】アクティブマトリクス型液晶表示装置の画素部はnチャネル型TFT（以下、画素TFTと記す）で構成されていて、振幅15～20V程度のゲート電圧が印加されるので、オン領域とオフ領域の両方の特性を満足する必要があった。一方、画素部を駆動するために設けられる周辺回路はCMOS回路を基本として構成され、主にオン領域の特性が重要であった。しかし、結晶質TFTはオフ電流が上がりやすいという問題点があった。また、結晶質TFTを長期間駆動させると移動度やオン電流の低下、オフ電流の増加といった劣化現象がしばしば観測された。この原因の一つは、ドレイン近傍の高電界が原因で発生するホットキャリア注入現象にあると考えられた。

【0007】MOSトランジスタの分野では、オフ電流を下げる、さらにドレイン近傍の高電界を緩和する方法として、低濃度ドレイン（LDD:Lightly Doped Drain）構造が知られている。この構造はソース領域とドレイン領域の内側、すなわちチャネル形成領域側に低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。

【0008】同様に結晶質TFTでもLDD構造を形成することは知られていた。例えば、ゲート電極をマスクとして、第1の不純物添加の工程によりLDD領域となる低濃度不純物領域を形成しておき、その後異方性エッチングの技術を利用してゲート電極の両側にサイドウォールを形成し、ゲート電極とサイドウォールをマスクとして第2の不純物添加の工程によりソース領域とドレイン領域となる高濃度不純物領域を形成することができた。

【0009】しかし、LDD構造は通常の構造のTFTと比べて、オフ電流を下げることができても、構造的に直列抵抗成分が増えてしまうため、結果としてTFTのオン電流も低下させてしまう欠点があった。また、オン電流の劣化を完全に防ぐことはできなかった。この欠点を補う方法として、LDD領域をゲート絶縁膜を介してゲート電極とオーバーラップさせる構造が知られている。この構造を形成する方法は幾つかあるが、例えば、GOLD（Gate-drain Overlapped LDD）や、LATID（Large-tilt-angle implanted drain）として知られている。このような構造とすることで、ドレイン近傍の高電界を緩和してホットキャリアに対する耐性を高め、同時にオン電流の低下を防ぐことができた。

【0010】また、結晶質TFTにおいても、ソース領

域とドレイン領域とチャネル形成領域のみから形成された単純な構成の結晶質TFTに比べ、LDD構造を設けることによりホットキャリアに対する耐性が向上し、さらにGOLD構造を採用するときわめて優れた効果が得られることが確認されていた。この事実を、『A Novel Self-aligned Gate-overlapped LDD Poly-Si TFT with High Reliability and Performance', Mu tsuko Hatano, Hajime Akimoto and Takeshi Saka i, IEDM97-523』に述べられている。

【0011】

【発明が解決しようとする課題】結晶質TFTにおいて、ホットキャリア注入現象を抑止するためにLDD構造を形成することは有効な手段であった。さらにGOLD構造にすると、LDD構造で見られたオン電流の低下を防ぐことができた。そして、信頼性の面からも良好な結果が得られた。

【0012】しかし、GOLD構造はオン電流の劣化を防ぐことができるが、特に画素TFTのように、オフ特性で高いゲート電圧が印加されるとき、オフ電流が増加してしまう欠点があった。画素TFTでオフ電流が増加すると、消費電力が増えたり、画像表示に異常が現れたりする不都合が生じた。これはオフ領域の特性で、ゲート電極とオーバーラップさせて形成されたLDD領域に反転層が形成されるためであると考えられた。

【0013】以上のように、結晶質TFTで高い信頼性を達成するためには素子の構造面からの検討が必要であった。そのために、GOLD構造を形成することが望ましかった。しかし、従来の方法では、自己整合的にLDD領域を形成することができるが、サイドウォール膜を異方性エッチングで形成する工程は、液晶表示装置のように大面積のガラス基板を処理するには不向きであり、サイドウォールの幅でLDD領域の長さが決まるので、素子寸法の設計上の自由度もきわめて限定されるものであった。

【0014】また画素TFTのように、オン領域とオフ領域の両方の特性が重視され、その信頼性を満足させ、オフ電流の増加もなくそうすると、従来のGOLD構造のままでは不十分であった。

【0015】本発明は、従来技術よりも簡便な方法で、ゲート電極とLDD領域とをオーバーラップさせた構造の結晶質TFTとその作製技術を提供することを第1の目的としている。また、GOLD構造ではオフ特性で高いゲート電圧が印加されたとき、オフ電流が増加してしまう問題点があった。そのため本発明は、オフ電流の増加を防止できる構造とその作製方法を提供することを第2の目的としている。

【0016】さらに本発明は、液晶表示装置の画素部と、その周辺に設けられるCMOS回路を基本とした駆動回路とその作製方法において、少なくともnチャネル型TFTのLDD領域がゲート電極とオーバーラップし

ている構造として、かつ、オフ電流の増加を防止できる構造とその作製方法を提供することを第3の目的としている。

【0017】

【課題を解決するための手段】図17は、これまでの知見を基にして、TFTの構造とそのとき得られる V_{gs} - I_d （ゲート電圧—ドレイン電流）特性を模式的に示したものである。図17（A-1）は、半導体層がチャネル形成領域と、ソース領域と、ドレイン領域とから成る最も単純なTFTの構造である。同図（B-1）の特性は、 $+V_{gs}$ 側はTFTのオン領域であり、 $-V_{gs}$ 側はオフ領域である。そして、実線は初期特性を示し、破線はハイアスストレスを印加した後の特性を示している。この構造ではオン電流とオフ電流共に高く、また、ハイアスストレスによる劣化も大きく、画素TFTなどにこの構造は使用できなかった。

【0018】図17（A-2）は、（A-1）にLDD領域となる低濃度不純物領域が設けられた構造であり、ゲート電極とオーバーラップしないLDD構造である。このとき（B-2）に示すように、オフ電流をある程度抑えることができるが、オン電流の劣化を防ぐことはできなかった。また、図17（A-3）は、LDD領域がゲート電極と完全にオーバーラップした構造で、GOLD構造とも呼ばれるものである。このとき（B-3）に示すように、オン電流の劣化を抑えることはできるが、LDD構造よりもオフ電流が増加してしまう欠点があった。

【0019】従って、図17（A-1）、（A-2）、（A-3）に示す構造では、画素部に必要なオン領域の特性とオフ領域の特性を、信頼性の問題を含めて同時に満足させることはできなかった。しかし、図17（A-4）の構造とすることで、オン電流の劣化を防ぎ、オフ電流の増加を抑えることができることがわかった。これは、LDD領域をゲート電極とオーバーラップする領域と、しない領域の2つの領域に分けることで、達成できるものであった。ゲート電極とオーバーラップしたLDD領域でホットキャリア注入現象を抑止して、かつ、ゲート電極とオーバーラップしないLDD領域でオフ電流の増加を防ぐ効果を兼ね備えたものであった。

【0020】本発明は、LDD領域がゲート電極とオーバーラップした構造を得るためにゲート電極を複数の層から形成し、ゲート電極の第1の導電層を形成する工程と、ゲート電極の第2の導電層を形成する工程とを有し、前記第1の導電層を形成する工程の後で1回目の不純物元素を添加する工程を行い、LDD領域となる第1の不純物領域を形成し、前記第2の導電層を形成する工程の後で2回目の不純物元素を添加する工程を行い、ソース領域とドレイン領域となる第2の不純物領域を形成する工程を行うものである。そして、第2の導電層の一部を除去させて、LDD領域が第2の導電層とオーバー

ラップしない領域が設けられたTFTを形成するものである。

【0021】従って、本願明細書で開示する発明の構成は、各画素にnチャネル型薄膜トランジスタが設けられた画素部を有する半導体装置において、前記nチャネル型薄膜トランジスタのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、前記第1の導電層と前記ゲート絶縁膜とに接して形成された第2の導電層とを有し、前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された一導電型の第1の不純物領域と、該第1の不純物領域に接して形成された一導電型の第2の不純物領域とを有し、前記第1の不純物領域の一部は、前記第2の導電層の前記ゲート絶縁膜に接する領域と重なって設けられていることを特徴としている。

【0022】また、他の発明の構成は、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとで形成されたCMOS回路を含む半導体装置において、前記nチャネル型薄膜トランジスタのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、前記第1の導電層と前記ゲート絶縁膜とに接して形成された第2の導電層とを有し、前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された一導電型の第1の不純物領域と、該第1の不純物領域に接して形成された一導電型の第2の不純物領域とを有し、前記第1の不純物領域の一部は、前記第2の導電層の前記ゲート絶縁膜に接する領域と重なって設けられていることを特徴としている。

【0023】また、他の発明の構成は、各画素にnチャネル型薄膜トランジスタが設けられた画素部と、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとで形成されたCMOS回路を含む半導体装置において、前記nチャネル型薄膜トランジスタのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、前記第1の導電層と前記ゲート絶縁膜とに接して形成された第2の導電層とを有し、前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された一導電型の第1の不純物領域と、該第1の不純物領域に接して形成された一導電型の第2の不純物領域とを有し、前記第1の不純物領域の一部は、前記第2の導電層の前記ゲート絶縁膜に接する領域と重なって設けられていることを特徴としている。

【0024】上記発明の構成において、前記第1の不純物領域は、LDD領域を形成し、前記第2の不純物領域は、ソース領域またはドレイン領域を形成する。一方、前記pチャネル型薄膜トランジスタのゲート電極は、ゲート絶縁膜に接して形成された第1の導電層と、前記第1の導電層と前記ゲート絶縁膜とに接して形成された第2の導電層とから形成され、pチャネル型薄膜トランジ

スタの半導体層は、チャネル形成領域と、該チャネル形成領域に接して形成された一導電型とは逆の導電型の第3の不純物領域とから成っている。

【0025】また、上記発明の構成において、前記第2の不純物領域に接して設けられ、前記第1の不純物領域と同じ導電型の半導体層と、前記ゲート絶縁膜と、前記第1の導電層と前記第2の導電層とから成る容量配線とから保持容量が形成されている構成をとることもできる。

【0026】さらに本発明の構成において、前記第1の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料で形成されていけば良い。

【0027】また、前記第1の導電層は、前記ゲート絶縁膜に接して形成される導電層(A)と、前記導電層(A)の上に形成される一つまたは複数の導電層から成ることを特徴とし、前記ゲート絶縁膜に接して形成される導電層(A)は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料から成り、前記導電層(A)の上に形成される一つまたは複数の導電層のうち少なくとも一つの導電層は、アルミニウム(Al)、銅(Cu)から選ばれた元素の一種または、該元素を主成分とする合金材料で形成されることが望ましい。さらに、前記第2の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料から形成されることが望ましい。

【0028】上記構成を得るために、本発明の半導体装置の作製方法は、絶縁表面を有する基板上に半導体層を形成する第1の工程と、前記半導体層に接してゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜に接して第1の導電層を形成する第3の工程と、前記第1の導電層をマスクとして前記半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、前記第1の導電層と前記ゲート絶縁膜とに接して第2の導電層を形成する第5の工程と、前記第2の導電層をマスクとして前記半導体層に周期律表15族に属する元素を添加して第2の不純物領域を形成する第6の工程と、前記第2の導電層の一部を除去する第7の工程とを有することを特徴とする。

【0029】また、他の発明の構成は、絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、前記第1の半導体層と第2の半導体層とに接してゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜に接して第1の導電層を形成する第3の工程と、前記第1の導電層をマスクとして少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、前記第1

の導電層と前記ゲート絶縁膜とに接して第2の導電層を形成する第5の工程と、前記第2の導電層をマスクとして少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第2の不純物領域を形成する第6の工程と、前記第2の導電層をマスクとして前記第2の半導体層のみに周期律表13族に属する元素を添加して第3の不純物領域を形成する第7の工程とを有することを特徴とする。

【0030】また、他の発明の構成は、絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、前記第1の半導体層と第2の半導体層とに接してゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜に接して第1の導電層を形成する第3の工程と、前記第1の導電層をマスクとして少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、前記第1の導電層と前記ゲート絶縁膜とに接して第2の導電層を形成する第5の工程と、前記第2の導電層をマスクとして少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第2の不純物領域を形成する第6の工程と、前記第2の導電層の一部を除去する第7の工程と、前記第2の導電層をマスクとして前記第2の半導体層のみに周期律表13族に属する元素を添加して第3の不純物領域を形成する第8の工程とを有することを特徴とする。

【0031】上記発明の構成において、前記第1の不純物領域はLDD領域を形成し、前記第2の不純物領域はソース領域またはドレイン領域を形成する工程であることを特徴とする。また、前記第2の不純物領域から延在した半導体層に前記第1の不純物領域と同じ濃度で周期律表15族に属する元素を添加する工程と、前記第1の導電層と前記第2の導電層とで容量配線を形成する工程とを有することを特徴とする。

【0032】本発明の構成において、前記第1の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料から形成する工程とする。

【0033】前記第1の導電層は、前記ゲート絶縁膜に接して形成される導電層(A)と、前記導電層(A)の上に形成される一つまたは複数の導電層とを形成する工程であり、前記導電層(A)は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料から形成され、前記導電層(A)の上に形成される一つまたは複数の導電性層のうち、少なくとも一つの導電層は、アルミニウム(Al)、銅(Cu)から選ばれた元素の一種または、該元素を主成分とする合金材料で形成され、前記第2の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブ

デン(Mo)から選ばれた元素の一種または、該元素を主成分とする合金材料から形成されることを特徴とする。

【0034】

【発明の実施の形態】本発明の実施の形態について図1を用いて説明する。101は絶縁表面を有する基板である。例えば、酸化シリコン膜を設けた、ガラス基板、ステンレス基板、プラスチック基板、セラミックス基板、シリコン基板を用いることができる。またその他に石英基板を用いても良い。

【0035】そして、基板101のTFTが形成される表面には、下地膜102が形成されている。下地膜102は酸化シリコン膜や窒化シリコン膜で形成され、基板101から半導体層への不純物の拡散を防ぐために設けられている。その他に下地膜102は、酸化窒化シリコン膜で形成してもよい。

【0036】前記基板上に形成される半導体層は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体を、レーザー結晶化法や熱処理による固相成長法で結晶化された、結晶質半導体で形成することが望ましい。前記成膜法で形成される微結晶半導体を用いることも可能である。ここで適用できる半導体材料は、シリコン、ゲルマニウム、またシリコンゲルマニウム合金、炭化シリコンであり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

【0037】或いは、基板101上に形成する半導体層は、単結晶シリコン層を形成したSOI(Silicon On Insulators)基板としても良い。SOI基板にはその構造や作製方法によっていくつかの種類が知られているが、代表的には、SIMOX(Separation by Implanted Oxygen)、ELTRAN(Epitaxial Layer Transfer: キヤノン社の登録商標)基板、Smart-Cut(SOITEC社の登録商標)などを使用することができる。勿論、その他のSOI基板を使用することも可能である。

【0038】図1では、nチャネル型およびpチャネル型TFTの断面構造を示している。nチャネル型TFTおよびpチャネル型TFTのゲート電極は、第1の導電層と第2の導電層とから成っている。図1では、第1の導電層は3層構造となっており、ゲート絶縁膜103に接して設けられた導電層(A)111、115と、その上に積層された、導電層(B)112、116と、導電層(C)113、117から成っている。そして、第2の導電層114、118は、前記第1の導電層の上面及び側面に接し、さらにゲート絶縁膜103上に延在して設けられている。

【0039】第1の導電層を構成する導電層(A)111、115は、Ti、Ta、Mo、Wなど元素か、これらの元素を主成分とする合金材料で形成されている。また、導電層(B)112、116は抵抗率の低い、AlやCuを用いることが望ましい。また導電層(C)113、

117は、導電層(A)と同様にTi、Ta、Mo、Wなど元素か、これらの元素を主成分とする合金材料で形成されている。ここで導電層(B)は、液晶表示装置のような大面積の基板に本発明のTFTを形成することを考慮して、ゲート電極の抵抗を低くする目的で設けられるものである。用途によっては、第1の導電層を前記導電層(A)のみで形成しても良く、また3層以上積層させても構わない。

【0040】第2の導電層114、118は、前記第1の導電層と電気的に導通していて、ゲート絶縁膜103に延在して設けられている。図16はゲート電極の構成を詳細に示し、第2の導電層は最初L3の長さで設けられ、その後エッチング処理によりL5の長さ分だけ除去して最終的にL2の長さで形成される。従って、第1の導電層をL1とすると、第2の導電層がゲート絶縁膜に延在する長さはL4で表すことができる。

【0041】ここで、本発明において、L1は0.1~10 μ m、L3は0.5~22 μ mの長さで形成することが望ましい。また、第2の導電層を除去する長さL5は0.1~3 μ mとすれば良い。従って、L2は0.3~16 μ m、L4は0.1~3 μ mとなる。

【0042】第1の導電層と第2の導電層は、1回目の不純物元素を添加する工程と2回目の不純物元素を添加する工程でマスクとしての機能を併せ持ち、その点を考慮してL1とL3、および、L2とL5の長さを決める必要がある。図16で示したように、第2の導電層をあらかじめL3の長さで形成しておき、その後エッチング処理によりL5の長さだけ除去して、L2の長さとするのは、本発明の構成を得るために、LDD領域となる第1の不純物領域1605が、ゲート絶縁膜を介して第2のゲート絶縁膜と接する領域をL4の長さで、接しない領域をL5の長さで設けるためである。

【0043】いずれにしても、本発明を画素部に適用する場合には、実際の開口率を得るために、ゲート電極には薄膜の抵抗率が2~3 $\mu\Omega\cdot\text{cm}$ の低抵抗材料を用いる必要があり、AlやCuなどを使用することが望ましい。そして耐熱性を考慮すると、ゲート電極の構造として、低抵抗材料で形成した導電層(B)をTa、W、Moなどの高融点金属かその合金から成るゲート電極の第1の導電層の導電層(A)や導電層(C)、さらに第2の導電層で開んだクラッド構造とすることが望ましい。

【0044】nチャネル型TFTの半導体層は、チャネル形成領域104と、前記チャネル形成領域に接して設けられた第1の不純物領域105と、前記第1の不純物領域105に接して設けられたソース領域106とドレイン領域107とから形成されている。第1の不純物領域105は、ゲート絶縁膜103を介して、第2の導電層114がゲート絶縁膜と重なって設けられている。

【0045】第1の不純物領域105はn型を付与する

不純物元素の濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ 、代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ である。また、ソース領域106とドレイン領域107の不純物濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ 、代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ とすれば良い。

【0046】この時、チャネル形成領域104には、あらかじめ $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でホロンが添加されても良い。このホロンはしきい値電圧を制御するために添加されるものであり、同様の効果が得られるものであれば他の元素で代用することもできる。

【0047】一方、pチャネル型TFTの第3の不純物領域109、110は、ソース領域とドレイン領域とを形成するものである。そして、第3の不純物領域109、110にはn型を付与する不純物元素がnチャネル型TFTのソース領域106とドレイン領域107と同じ濃度で含まれているが、その1.5～3倍の濃度でp型を付与する不純物元素が添加されている。この第3の不純物領域109、110はゲート電極の第2の導電層118の外側に設けられている。

【0048】以上示したように本発明のTFTは、ゲート電極を第1の導電層と、第2の導電層とから成る構造を有し、図1で示すように第2の導電層は、第1の導電層とゲート絶縁膜とに接して設けられている。そして、少なくともnチャネル型TFTにおいて、ゲート絶縁膜を介して半導体層に設けられた第1の不純物領域の一部が第2の導電層と重なって設けられている構造に特徴がある。

【0049】図1で示された構造は、第1の導電層をマスクとして、LDD領域となる第1の不純物領域を形成し、第2の導電層をマスクとしてソース領域とドレイン領域となる第2の不純物領域を形成した後で、エッチング処理により第2の導電層を後退させることにより実現できる。従って、LDD領域の長さL1と第2の導電層の長さL3で決まり、LDD領域が第2の導電層と重ならない長さは、第2の導電層を後退させる量L5で任意に決めることができる。このような方法は、TFTの設計上または製作上において自由度を広げることが可能となり非常に有効である。

【0050】一方、pチャネル型TFTには第3の不純物領域109、110が形成され、LDD構造となる領域は設けないものとする。第3の不純物領域は、ソース領域109とドレイン領域110を形成する。勿論、本発明のLDD構造を設けても良いが、pチャネル型TFTはもともと信頼性が高いため、オン電流を稼いでnチャネル型TFTとの特性バランスをとった方が好ましい。本発明を図1に示すようにCMOS回路に適用する場合には、特にこの特性のバランスをとることが重要である。但し、本発明の構造をpチャネル型TFTに適用しても何ら問題はない。

【0051】こうしてnチャネル型TFTおよびpチャネル型TFTが完成したら、第1の層間絶縁膜119で覆い、ソース配線120、121ドレイン配線122を設ける。ソース配線とドレイン配線は第1の層間絶縁膜に設けたコンタクトホールで第2及び第3の不純物領域と接触している。図1の構造では、これらを設けた後でパッシベーション膜123として窒化シリコン膜を設けている。さらに有機樹脂材料でなる第2の層間絶縁膜124が設けられている。第2の層間絶縁膜は、有機樹脂材料に限定される必要はないが、例えば、液晶表示装置に適用する場合には、表面の平坦性を確保するために有機樹脂材料を用いることが好ましい。

【0052】図1では、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせるCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素部に本発明を適用することもできる。

【0053】以上に示した本発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0054】〔実施例1〕本実施例では、本発明の構成を、画素部とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する方法について説明する。

【0055】図2において、基板201には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板201のTFTが形成される表面に、酸化シリコンを主成分とする下地膜202を200nmの厚さに形成した。下地膜202は、窒化シリコン膜を用いても良いし、酸化窒化シリコン膜を用いても良い。

【0056】下地膜202は上記材料の1層で形成しても良いし、2層以上の積層構造としても良い。いずれにしてもその厚さが100～300nm程度になるように形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される第1の酸化窒化シリコン膜を100～1000nmの厚さに形成し、 SiH_4 、 N_2O から作製される第2の酸化窒化シリコン膜を100～200nmの厚さに積層形成した2層構造として下地膜202を形成する。

【0057】次に、この下地膜202の上に50nmの厚さで、非晶質シリコン膜をプラズマCVD法で形成する。非晶質シリコン膜は含有水素量にもよるが、好ましくは400～500℃に加熱して脱水素処理を行い、含有水素量を5atm%以下として、結晶化の工程を行うことが望ましい。

【0058】非晶質シリコン膜を結晶化する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜とした。

【0059】尚、本実施例では初期膜を非晶質シリコン膜として用いたが、初期膜として微結晶シリコン膜を用いても構わないし、直接結晶性を有するシリコン膜を成膜しても良い。

【0060】こうして形成された結晶質シリコン膜をパターンニングして、島状の半導体層204、205、206を形成した。

【0061】次に、半導体層204、205、206を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜203を形成した。ここではプラズマCVD法で酸化窒化シリコン膜を100nmの厚さに形成した。そして、図では説明しないが、ゲート絶縁膜203の表面にゲート電極の第1の導電層を構成する、導電層(A)としてTaを10~200nm、例えば50nmの厚さに、さらに導電層(B)としてAlを100~1000nm、例えば200nmの厚さでスパッタ法により形成した。そして、公知のパターンニング技術により、第1の導電層を構成する導電層(A)207、208、209、210と、導電層(B)の212、213、214、215が形成される。このとき、図16で示したようにゲート電極の第1の導電層の長さL1は適宜決めれば良く、1~10 μ m、ここでは2 μ mの長さでパターンニングした。(図2(A))

【0062】第1の導電層を構成する導電層(B)として、Alを用いる場合には、純Alを用いても良いし、Ti、Si、Scから選ばれた元素が0.1~5at%添加されたAl合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜203の表面に窒化シリコン膜を30~100nmの厚さで設けておくとも好ましい。

【0063】また、図2では画素部を構成するnチャネル型TFTのドレイン側に保持容量を設ける構造となっている。このとき、第1の導電層と同じ材料で保持容量の配線電極211、216が形成される。

【0064】こうして図2(A)に示す構造が形成されたら、1回目のn型不純物を添加する工程を行い、第1の不純物領域を形成した。結晶質半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH₃)を用いたイオンドープ法を行った。この工程では、ゲート絶縁膜203を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。また、こうして形成された不純物領域は、後に示すnチャネル型TFTの第1の不純物領域229、236、240を形成するもので、LED領域として機能するものである。従ってこの領域のリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm³とした。(図2(B))

【0065】半導体層中に添加された前記不純物元素

は、レーザーアニール法や、熱処理により活性化させる必要があった。この工程は、ソース領域およびドレイン領域を形成する不純物添加の工程のあと実施しても良いが、この段階でレーザーアニール法により活性化させることは効果的であった。

【0066】この工程で、第1の導電層を構成する導電層(A)207、208、209、210と導電層(B)212、213、214、215は、リンの添加に対してマスクとして機能する。その結果ゲート絶縁膜を介して存在する半導体層の第1の導電層真下には、まったく、あるいは殆どリンが添加されなかった。そして、図2(B)に示すように、リンが添加された不純物領域218、219、220、221、222が形成された。この工程ではCMOS回路を形成するpチャネル型TFTの半導体層205にはリンが添加されないようにレジストマスク217を設けた。

【0067】そして、レジストマスク217を除去した後、ゲート電極の第2の導電層を形成する工程を行った。ここでは、第2の導電層の材料にTaを用い、100~1000nm、例えば200nmの厚さに形成した。そして、公知の技術によりパターンニングを行い、第2の導電層243、244、245、246を形成した。この時、第2の導電層の長さL3(図16で示した符号の部分に相当する長さ)は0.5~2.2 μ m、ここでは5 μ mとなるようにパターンニングした。結果として、第2の導電層は、第1の導電層の両側にそれぞれ1.5 μ mの長さでゲート絶縁膜と接する領域(L6)が形成された。

【0068】また、画素TFTのドレイン側に保持容量が設けられるが、この保持容量の電極247は第2の導電層と同時に形成される。

【0069】そして、第2の導電層243、244、245、246をマスクとして、2回目のn型を付与する不純物元素を添加して、第2の不純物領域を形成する工程を行った。このとき図2(C)に示す様に、第2の導電層をパターンニングするときに設けたレジストマスク223、224、225、226、227をそのまま残しておいても良い。ここでは同様に、フォスフィン(PH₃)を用いたイオンドープ法を行った。この工程でも、ゲート絶縁膜203を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。そして、ここで形成される第2の不純物領域は、nチャネル型TFTのソース領域230、237、およびドレイン領域231、241として機能させるため、この領域のリンの濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³とするのが好ましく、ここでは 1×10^{20} atoms/cm³とした。(図2(C))

【0070】また、ここで図示はしないが、ソース領域230、237、およびドレイン領域231、241を覆うゲート絶縁膜を除去して、その領域の半導体層を露

出させ直接リンを添加しても良い。この工程を加えると、イオンドープ法の加速電圧を10keVまで下げることができ、また、効率良くリンを添加することができた。

【0071】また、pチャネル型TFETの一部の領域233、234にも同じ濃度でリンが添加されるが、後の工程でその2倍の濃度でボロンを添加するため、導電型は反転せず、pチャネル型TFETの動作上何ら問題はなかった。

【0072】図2(C)の状態が得られたら、レジストマスク223、224、225、226、227は除去して、再度フォトリソ膜を形成し、裏面からの露光によってパターンニングした。このとき図3(A)に示すように、第1および第2の導電層をマスクとして自己整合的にレジストマスク248、249、250、256、257が形成された。裏面からの露光は、直接光と散乱光を利用して行うもので、オーバー露光とすることで、図3(A)のようにレジストマスクを第2の導電層の内側に設けることができた。

【0073】そして、第2の導電層のマスクされていない部分をエッチングして除去した。エッチングは通常のドライエッチング技術を用いればよく、CF₄とO₂ガスを用いて行った。そして、図3(B)に示すように、L5(図16で示した符号の部分に相当する長さ)の長さだけ除去した。L5の長さは0.1~3μmの範囲で適宜調整すれば良く、ここでは0.5μmとした。その結果、nチャネル型TFETにおいて、LDD領域となる第1の不純物領域の長さ1.5μmの内、1μm(L4)の長さで第2の導電層と重なる領域が形成され、0.5μm(L5)の長さで第2の導電層と重ならない領域を形成することができた。

【0074】次にフォトリソ膜をマスクとして、nチャネル型TFETを形成する領域をレジストマスク258、259で覆って、pチャネル型TFETが形成される領域のみにp型を付与する不純物添加の工程を行った。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)が知られているが、ここではボロンをその不純物元素として、ジボラン(B₂H₆)を用いてイオンドープ法で添加した。ここでも加速電圧を80keVとして、 2×10^{20} atoms/cm³の濃度にボロンを添加した。そして、図3(B)に示すようにボロンが高濃度に添加された第3の不純物領域262、261が形成された。この第3の不純物領域は後にpチャネル型TFETのソース領域261、ドレイン領域262となった。(図3(B))

【0075】それぞれの濃度で添加されたn型またはp型を付与する不純物元素は、このままでは活性化せず有効に作用しないので、活性化の工程を行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法

や、ハロゲンランプを用いたラビットサーマルアニール法(RTA法)で行うことができた。

【0076】熱アニール法では、窒素雰囲気中において550℃、2時間の加熱処理をして活性化を行った。本実施例では、第1の導電層を構成する導電層(B)にAlを用いたクラッド構造としてあり、Taで形成された導電層(A)と第2の導電層がAlを覆って形成されているため、Taがブロッキング層として機能して、Al原子が他の領域に拡散することを防ぐことができた。また、レーザーアニール法では、パルス発振型のKrFエキシマレーザー光を線状に集光して照射することにより活性化が行われた。また、レーザーアニール法を実施した後に熱アニール法を実施すると、さらに良い結果が得られた。またこの工程は、イオンドープによって結晶性が破壊された領域をアニールする効果も兼ね備えていて、その領域の結晶性を改善することもできた。

【0077】以上の工程で、ゲート電極を第1の導電層と、その第1の導電層に接して第2の導電層が設けられ、半導体層204、206にはLDD領域となる第1の不純物領域と、ソース領域とドレイン領域となる第2の不純物領域が形成された。そして、第1の不純物領域は、ゲート絶縁膜を介して第2の導電層と重なる領域と重ならない領域が形成された。一方、pチャネル型TFETでは、チャネル形成領域と、ソース領域と、ドレイン領域とが形成された。

【0078】図3(B)の状態が得られたら、レジストマスク258、259を除去して、第1の層間絶縁膜263を1000nmの厚さに形成した。第1の層間絶縁膜263としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜、およびそれらの積層膜を用いることができる。本実施例では、図示しないが、最初に窒化シリコン膜を50nm形成し、さらに酸化シリコン膜を950nm形成した2層構造とした。

【0079】第1の層間絶縁膜263はその後、パターンニングでそれぞれのTFETのソース領域と、ドレイン領域にコンタクトホールを形成した。そして、ソース配線264、265、266、とドレイン配線267、268を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の配線として用いた。

【0080】そして、ソース配線264、265、266とドレイン配線267、268と、第1の層間絶縁膜263を覆ってハッシュベーション膜269を形成した。ハッシュベーション膜269は、窒化シリコン膜で50nmの厚さで形成した。さらに、有機樹脂からなる第2の層間絶縁膜270を約1000nmの厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができ、有機性樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電

率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機性樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0081】こうして図3(C)に示すように、基板201上にCMOS回路と、画素部が形成されたアクティブマトリクス基板が作製された。また、画素TFTのドレイン側には、保持容量が同時に形成された。

【0082】[実施例2]本実施例では、実施例1と同じ工程で図2(C)に示す状態得た後、他の方法で第2の導電層の一部を除去して、第1の不純物領域が第2の導電層と重なる領域と重ならない領域とを形成する例を示す。

【0083】まず、図2(C)に示すように、第2の導電層のパターニング工程で使用したレジストマスク223、224、225、226、227をそのまま使用して、エッチングにより、第2のゲート電の一部を図4(A)に示すようにL5の長さだけ除去した。

【0084】この工程は、ドライエッチングで行うことができた。第2の導電層の材料にもよるが、基本的にはフッ素(F)系ガスを用いることにより等方性エッチングが進み、レジストマスクの下にある第2の導電層材料を除去することができた。例えば、Taの場合にはCF₄ガスで可能であり、Tiの場合にはCF₄やCCl₄ガスで可能であり、Moの場合にはSF₆やNF₃で可能であった。

【0085】そして、図4(B)に示すように、L5の長さだけ、ここでは0.7μm除去した。その結果、nチャネル型TFTにおいて、LDD領域となる第1の不純物領域は1.5μmの長さ(L6)で形成されており、0.8μmの長さ(L4)で第2の導電層と重なり、0.7μmの長さ(L5)で第2の導電層と重ならない領域を形成することができた。

【0086】以降の工程は、実施例1と同様に行うことで、図4(C)に示すアクティブマトリクス基板が形成された。

【0087】[実施例3]本実施例では、実施例1または実施例2で形成されたアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0088】図3(C)または図4(C)の状態のアクティブマトリクス基板に対して、第2の層間絶縁膜270にドレイン配線268に達するコンタクトホールを形成し、画素電極271を形成した。画素電極271は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用い、酸良。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成し、画素電極271を形成した。

【0089】図5(A)の状態が形成されたら、配向膜272を第2の層間絶縁膜270と画素電極271形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板273には、透明導電膜274と、配向膜275とを形成した。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0090】上記の工程を経て、画素部と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶材料276を注入し、封止剤(図示せず)によって完全に封止した。よって図5(B)に示すアクティブマトリクス型液晶表示装置が完成した。

【0091】次に本実施例のアクティブマトリクス型液晶表示装置の構成を、図7と図8を用いて説明する。図7は本実施例のアクティブマトリクス基板の斜視図である。アクティブマトリクス基板は、ガラス基板201上に形成された、画素部701と、走査(ゲート)線駆動回路702と、データ(ソース)線駆動回路703で構成される。画素部の画素TFT700はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査(ゲート)線駆動回路702と、データ(ソース)線駆動回路703はそれぞれゲート配線802とソース配線803で画素部701に接続されている。

【0092】図8(A)は画素部701の上面図である。画素部にはnチャネル型TFTが設けられている。ゲート配線802に連続して形成されるゲート電極820は、図示されていないゲート絶縁膜を介してその下の半導体層801と交差している。図示はしていないが、半導体層には第2の不純物領域として形成されたソース領域、ドレイン領域と第1の不純物領域が形成されている。また、画素TFTのドレイン側には、半導体層と、ゲート絶縁膜と、第1及び第2の導電層と同じ材料で形成された電極とから、保持容量807が形成されている。そして、保持容量807に接続した容量配線821が、ゲート配線802と平行に設けられている。また、図8(A)で示すA-A'に沿った断面構造は、図3(C)および図4(C)に示す画素部の断面図に対応している。

【0093】一方、図8(B)に示すCMOS回路では、ゲート配線819から延在するゲート電極813、814が、図示されていないゲート絶縁膜を介してその下の半導体層810、812とそれぞれ交差している。図示はしていないが、同様にnチャネル型TFTの半導体層には第2の不純物領域として形成されたソース領域、ドレイン領域と、第1の不純物領域が形成されている。また、pチャネル型TFTの半導体層には第3の不純物領域として形成されたソース領域とドレイン領域が

形成されている。そして、その位置関係は、B-B'に示した断面構造は、図3(C)または図4(C)に示す画素部の断面図に対応している。

【0094】本実施例では、画素TFT700をダブルゲートの構造としているが、シングルゲートの構造でも良いし、トリプルゲートとしたマルチゲート構造にしても構わない。本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

【0095】[実施例4]本実施例は、実施例1と同じ工程であるが、画素TFTとCMOS回路のnチャネル型TFTおよびpチャネル型TFTの、ゲート電極の第2の導電層の構造が異なる一例を示す。このとき、図6

(A)に示すように、第2の導電層280、281、282、283は、第1の導電層に接していて、各TFTのドレイン側にのみ延在した形態となっている。第2の導電層をこのような形態としても、nチャネル型TFTのドレイン領域231、238、241に接する第1の不純物領域229、236、240を形成することで、ドレイン側に形成される高電界領域を緩和することができた。

【0096】本実施例の工程は、基本的に実施例1で示す工程に従えば良く、第2の導電層の形状はパターニングの工程で使用するフォトマスクを変更するだけで、他の工程は何ら変更する必要はない。しかし、nチャネル型TFTの第1の不純物領域229はドレイン領域側のみに形成される。

【0097】第1の不純物領域はゲート絶縁膜を介して第2の導電層と重なる領域と重ならない領域が形成される。一方、pチャネル型TFTでは、チャネル形成領域260、ソース領域261とドレイン領域262とが形成される。そして、第1の層間絶縁膜263、ソース配線264、265、266、とドレイン配線267、268、ハッシュション膜269を形成した。有機樹脂からなる第2の層間絶縁膜270を形成した。

【0098】そして、図6(B)に示すように、nチャネル型TFTにおいて、LDD領域となる第1の不純物領域は、L4の長さで第2の導電層と重なる領域が形成され、L5の長さで第2の導電層と重ならない領域を形成することができた。以降の工程は、実施例1と同様に言うことで、図4(C)に示すアクティブマトリクス基板が形成された。このようなアクティブマトリクス基板を用いて、実施例3で示した方法に従えば同様に液晶表示装置を作製することができる。

【0099】[実施例5]本実施例では、実施形態および実施例1、2、4において半導体層として用いる結晶質半導体膜を、触媒元素を用いた熱アニール法により形

成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

【0100】ここで、特開平7-130652号公報に開示されている技術を本発明に適用する場合の例を図9に示す。まず基板901に酸化シリコン膜902を設け、その上に非晶質シリコン膜903を形成した。さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層904を形成する(図9(A))。

【0101】次に、500℃、1時間の脱水素工程の後、500～650℃で4～12時間、例えば550℃、8時間の熱処理を行い、結晶質シリコン膜905を形成する。こうして得られた結晶質シリコン膜905は非常に優れた結晶性を有している(図9(B))。

【0102】また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本発明に適用した場合について図10で説明する。

【0103】まず、ガラス基板1001に酸化シリコン膜1002を設け、その上に非晶質シリコン膜1003、酸化シリコン膜1004を連続的に形成する。この時、酸化シリコン膜1004の厚さは150nmとする。

【0104】次に酸化シリコン膜1004をパターニングして、選択的に開孔部1005を形成し、その後、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層1006が形成され、ニッケル含有層1006は開孔部1005の底部のみで非晶質シリコン膜1002と接触している(図10(A))。

【0105】次に、500～650℃で4～24時間、例えば570℃、14時間の熱処理を行い、結晶質シリコン膜1007を形成する。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質シリコン膜1007は棒状または針状の結晶が集合して成り、その各々の結晶は互視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある(図10(B))。

【0106】尚、上記2つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)といった元素を用いても良い。

【0107】以上のような技術を用いて結晶質半導体膜(結晶質シリコン膜や結晶質シリコンゲルマニウム膜などを含む)を形成し、パターニングを行えば、結晶質TFTの半導体層を形成することができる。本実施例の技

術を用いて、結晶質半導体膜から作製されたTFTは、優れた特性が得られるが、そのため高い信頼性を要求されている。しかしながら、本発明のTFT構造を採用することで、本実施例の技術を最大限に生かしたTFTを作製することが可能となる。

【0108】【実施例6】本実施例は、実施形態および実施例1、2、4で用いられる半導体層を形成する方法として、非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-247735、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いる。

【0109】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³にまで低減することができる。

【0110】本実施例の構成について図11を用いて説明する。ガラス基板1101はコーニング社の1737基板に代表される無アルカリガラス基板を用いている。図11(A)では、実施例5で示した結晶化の技術を用いて、下地1102、結晶質シリコン膜1103が形成された状態を示している。そして、結晶質シリコン膜1103の表面にマスク用の酸化シリコン膜1104が150nmの厚さに形成され、パターニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けている。そして、リンを添加する工程を実施して、結晶質シリコン膜にリンが添加された領域1105が設けられる。

【0111】この状態で、窒素雰囲気中で550～800℃、5～24時間、例えば600℃、12時間の熱処理を行うと、結晶質シリコン膜にリンが添加された領域1105がゲッタリングサイトとして働き、結晶質シリコン膜1103に残存していた触媒元素はリンが添加された領域1105に偏析させることができる。

【0112】そして、マスク用の酸化シリコン膜1104と、リンが添加された領域1105とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度が 1×10^{17} atoms/cm³以下にまで低減された結晶質シリコン膜を得ることができる。この結晶質シリコン膜はそのまま実施例1、2、4で示した本発明のTFTの半導体層として使用することができる。

【0113】【実施例7】本実施例では、実施形態および実施例1、2、4で示した本発明のTFTを作製する工程において、半導体層とゲート絶縁膜を形成する他の実施例を示す。そして、本実施例の構成を図12で説明する。

【0114】ここでは、少なくとも700～1100℃

程度の耐熱性を有する基板が必要であり、石英基板1201が用いる。そして実施例5で示した技術を用い、結晶質半導体を形成する。これをTFTの半導体層とするために、島状にパターニングして半導体層1202、1203を形成する。そして、半導体層1202、1203を覆って、ゲート絶縁膜1204を酸化シリコンを主成分とする膜で形成した。本実施例では、プラズマCVD法で酸化窒化シリコン膜を70nmの厚さで形成する(図12(A))。

【0115】そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行う。本実施例では、950℃、30分とする。尚、処理温度は700～1100℃の範囲で選択すれば良く、処理時間も10分から8時間の間で選択すれば良い(図12(B))。

【0116】その結果、本実施例の条件では、半導体層1202、1203とゲート絶縁膜1204との界面で熱酸化膜が形成され、ゲート絶縁膜1207が形成される。また、ハロゲン雰囲気での酸化の過程で、ゲート絶縁膜1204と半導体層1202、1203に含まれる不純物で、特に金属不純物元素はハロゲンと化合物を形成し、気相中に除去することができる。

【0117】以上の工程で作製されるゲート絶縁膜1207は、絶縁耐圧が高く半導体層1205、1206とゲート絶縁膜1207の界面は非常に良好なものであった。本発明のTFTの構成を得るためには、以降の工程は実施例1、2、4に従えば良い。

【0118】【実施例8】本実施例では、実施例1と異なる工程順序で結晶質TFTを作製する例を図13に示す。まず、実施例1において、図2(A)で示される半導体層204、205、206は、実施例5で示す方法で作製された結晶性シリコン膜を用いている。このとき、結晶化の工程で用いられた触媒元素が半導体層中にわずかに残存していた。そして、その後の工程は、実施例1に従い図3(B)に示すp型を付与する不純物添加の工程までを実施した。そして、レジストマスク258、259を除去した。

【0119】このとき、図13に示すように、nチャネル型TFTのソース領域230、237と、ドレイン領域231、238、241と、pチャネル型TFTのソース領域261と、ドレイン領域262とにはいずれも図2(C)の工程で添加されたリンが添加されていた。実施例1に従えばこのときリン濃度は $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³であった。

【0120】この状態で、窒素雰囲気中で500～800℃、1～24時間、例えば600℃、12時間の加熱処理の工程を行った。この工程により、添加されたn型及びp型を付与する不純物元素を活性化することができた。さらに、前記リンが添加された領域がゲッタリングサイトとなり、結晶化の工程の後残存していた触媒元素を偏析させることができた。その結果、チャネル形成傾

域から触媒元素を除去することができた。

【0121】図13の工程が終了したら、以降の工程は実施例1の工程に従い、図3(C)の状態を形成することにより、アクティブマトリクス基板を作製することができた。このようなアクティブマトリクス基板を用いて、実施例3で示した方法に従えば同様に液晶表示装置を作製することができる。

【0122】【実施例9】本実施例では、本発明のTFTにおけるゲート電極の構成の例を図14で示す。ゲート電極は、第1の導電層と、第1の導電層に接して形成される第2の導電層とから成っている。そして、第1の導電層は、一つまたは複数の導電層から形成されるものである。

【0123】図14(A)は、第1の導電層のゲート絶縁膜に接して形成される導電層(A)をTa膜で形成し、その導電層(A)上に積層して、導電層(B)をTiで形成し、導電層(C)をAlを主成分とする膜で形成し、第4の導電層をTiで形成した構造を有している。ここで、導電層(A)の厚さは30~200nmの厚さに、また、他の導電層の厚さは50~100nmの厚さで形成することが望ましい。

【0124】ゲート絶縁膜に接する導電層(A)は、その上に形成する導電層の構成元素がゲート絶縁膜中にしみ込むのを防ぐバリア層としての役割を果たすものであり、Ti、Ta、W、Mo、などの高融点金属か、その合金材料を用いることが望ましい。また、図14(A)で形成された導電層(C)はAlを主成分とする膜であり、これはゲート電極の抵抗率を下げるために設けられる。そして、形成されるAl膜の平坦性を高めるために、スカンジウム(Sc)、Ti、シリコン(Si)などの元素を0.1~5atm%の割合で含有させたAl合金膜を用いると望ましい。いずれにしても、本発明を1ラインクラスかそれ以上の液晶表示装置に適用する場合には、ゲート電極の抵抗率を下げるために、AlまたはCuを主成分とする抵抗率の低い材料を用いることが望ましい。さらに、第1の導電層とゲート絶縁膜に接して形成される第2の導電層は、耐熱性を高めるために、Ti、Ta、W、Mo、などの高融点金属か、その合金材料を用いることが望ましい。

【0125】図14(B)は他の構成例であり、第1の導電層をMo-W合金膜から成る一つの層で第2の導電層をTi-Mo合金膜で形成したものである。第1の導電層は1層のみで形成しても良く、このとき厚さは50~100nmとすれば良い。

【0126】図14(C)は、第1の導電層を構成する導電層(A)をTi膜で形成し、導電層(B)を銅(Cu)を主成分とする膜で形成し、導電層(C)をTi膜で形成したものである。Al膜と同様にCu膜を用いてもゲート電極の抵抗率を下げる事が可能である。また、第2の導電層はTi膜で形成した。

【0127】図14(D)は、第1の導電層を構成する導電層(A)をTi膜で形成し、導電層(B)をAlを主成分とする膜で形成し、導電層(C)をTi膜で形成したものである。第2の導電層はMo膜で形成した。

【0128】【実施例10】本実施例では、図16のL4に相当する長さをTFT形成部と配線部とで異ならせる場合について図18を用いて説明する。

【0129】図18において、半導体層140上には第1の導電層141及び第2の導電層142が形成されている。この時、第2の導電層142は第1の導電層141を覆い隠すように形成されるが、本明細書中では第1の導電層141と重ならない部分の長さをL4と定義している。

【0130】本実施例の場合、TFT形成部(半導体層の上)ではL4の長さ(ここでは W_{LDD} と表す)を0.1~2 μm (代表的には0.3~1.5 μm)とする。そして、配線部(半導体層の上以外)ではL4の長さ(ここでは W_L と表す)を0.05~0.5 μm (代表的には0.1~0.3 μm)とする。

【0131】即ち、本実施例はTFT形成部よりも配線形成部の方において第2の導電層の線幅を狭くすることに特徴がある。なぜならば配線形成部ではL4に相当する領域は必要なく、却って配線の高密度集積化を妨げる要因になってしまうため、可能な限り線幅を狭くした方が好ましいからである。

【0132】従って、本実施例の構成を用いることで配線の高密度集積化が容易となり、延いては半導体装置の高密度集積化が可能となる。なお、本実施例の構成は実施例1~12のいずれの構成とも自由に組み合わせることが可能である。

【0133】【実施例11】本実施例では、本願発明を用いてEL(エレクトロルミネッセンス)表示装置を作製した例について説明する。

【0134】図21(A)は本願発明を用いたEL表示装置の上面図である。図21(A)において、4010は基板、4011は画素部、4012はソース側駆動回路、4013はゲート側駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0135】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材(ハウジング材ともいう)7000、密封材(第2のシーリング材)7001が設けられている。

【0136】また、図21(B)は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFT

Tだけ図示している。)が形成されている。これらのTFTは公知の構造(トップゲート構造またはボトムゲート構造)を用いれば良い。

【0137】本願発明は、駆動回路用TFT4022、画素部用TFT4023に際して用いることができる。

【0138】本願発明を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0139】次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0140】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0141】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0142】なお、本実施例では陰極4030として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域

において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0143】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜4028のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括してエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0144】このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0145】さらに、EL素子部を囲むようにして、カバー材7000と基板4010の内側にシーリング材が設けられ、さらにシーリング材7000の外側には密封材(第2のシーリング材)7001が形成される。

【0146】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0147】また、充填材6004の中にスパーサーを含有させてもよい。このとき、スパーサーをBaOなどからなる粒状物質とし、スパーサー自体に吸湿性をもたせてもよい。

【0148】スパーサーを設けた場合、パッシベーション膜6003はスパーサー圧を緩和することができる。また、パッシベーション膜とは別に、スパーサー圧を緩和する樹脂膜などを設けてもよい。

【0149】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass Reinforced Plastic)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0150】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0151】また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通してFPC4017に電気的に接続される。

【0152】[実施例12]本実施例では、本願発明を用いて実施例15とは異なる形態のEL表示装置を作製した例について、図22(A)、(B)を用いて説明する。図21(A)、(B)と同じ番号のものは同じ部分を指しているため説明は省略する。

【0153】図22(A)は本実施例のEL表示装置の上面図であり、図22(A)をA-A'で切断した断面図を図22(B)に示す。

【0154】実施例11に従って、EL素子の表面を覆ってパッシベーション膜6003までを形成する。

【0155】さらに、EL素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0156】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0157】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0158】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiber glass-Reinforced Plastic)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0159】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0160】次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面(露出面)を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材(接着剤として機能する)

6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0161】また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通してFPC4017に電気的に接続される。

【0162】[実施例13]実施例11および12のような構成からなるEL表示パネルにおいて、本願発明を用いることができる。画素部の詳細な断面構造を図23に、上面構造を図24(A)に、回路図を図24(B)に示す。図23、図24(A)及び図24(B)では共通の符号を用いるので互いに参照すれば良い。

【0163】図23において、基板3501上に設けられたスイッチング用TFT3502は本願発明のnチャネル型TFTを用いて形成される(実施例1~10参照)。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のpチャネル型TFTを用いて形成しても構わない。

【0164】また、電流制御用TFT3503は本願発明のnチャネル型TFTを用いて形成される。このとき、スイッチング用TFT3502のドレイン配線35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT3502のゲート電極39a、39bを電気的に接続するゲート配線である。

【0165】このとき、電流制御用TFT3503が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本願発明の構造は極めて有効である。

【0166】また、本実施例では電流制御用TFT3503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。

さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0167】また、図24(A)に示すように、電流制御用TFT3503のゲート電極37となる配線は3504で示される領域で、電流制御用TFT3503のドレイン配線40と絶縁膜を介して重なる。このとき、3504で示される領域ではコンデンサが形成される。このコンデンサ3504は電流制御用TFT3503のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線40は電流供給線（電源線）3506に接続され、常に一定の電圧が加えられている。

【0168】スイッチング用TFT3502及び電流制御用TFT3503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0169】また、43は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT3503のドレインに電気的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0170】また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルbazol（PVK）系、ポリフルオレン系などが挙げられる。

【0171】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば H. Shenk, H. Becker, O. Geisen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0172】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアル

キルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【0173】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0174】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0175】本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0176】陽極47まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図24(A)に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0177】ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0178】以上のように本願発明のEL表示パネルは図23のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0179】なお、本実施例の構成は、実施例1～10構成と自由に組み合わせて実施することが可能である。

また、実施例18の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0180】[実施例14]本実施例では、実施例13に示した画素部において、EL素子3505の構造を反転させた構造について説明する。説明には図25を用いる。なお、図23の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0181】図25において、電流制御用TFT3503は本願発明のpチャンネル型TFTを用いて形成される。作製プロセスは実施例1~10を参照すれば良い。

【0182】本実施例では、画素電極(陽極)50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0183】そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート(acacKと表記される)でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がバッシベーション膜としても機能する。こうしてEL素子3701が形成される。

【0184】本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0185】なお、本実施例の構成は、実施例1~10の構成と自由に組み合わせて実施することが可能である。また、実施例18の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0186】[実施例15]本実施例では、図24(B)に示した回路図とは異なる構造の画素とした場合の例について図26(A)~(C)に示す。なお、本実施例において、3801はスイッチング用TFT3802のソース配線、3803はスイッチング用TFT3802のゲート配線、3804は電流制御用TFT、3805はコンデンサ、3806、3808は電流供給線、3807はEL素子とする。

【0187】図26(A)は、二つの画素間で電流供給線3806を共通とした場合の例である。即ち、二つの画素が電流供給線3806を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0188】また、図26(B)は、電流供給線3808をゲート配線3803と平行に設けた場合の例である。なお、図26(B)では電流供給線3808とゲート配線3803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、

絶縁膜を介して重なるように設けることもできる。この場合、電源供給線3808とゲート配線3803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0189】また、図26(C)は、図26(B)の構造と同様に電流供給線3808をゲート配線3803と平行に設け、さらに、二つの画素を電流供給線3808を中心に線対称となるように形成する点に特徴がある。また、電流供給線3808をゲート配線3803のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0190】なお、本実施例の構成は、実施例1~12の構成と自由に組み合わせて実施することが可能である。また、実施例18の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0191】[実施例16]実施例13に示した図24(A)、24(B)では電流制御用TFT3503のゲートにかかる電圧を保持するためにコンデンサ3504を設ける構造としているが、コンデンサ3504を省略することも可能である。実施例13の場合、電流制御用TFT3503として実施例1~10に示すような本願発明のnチャンネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ3504の代わりとして積極的に用いる点に特徴がある。

【0192】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0193】また、実施例15に示した図26(A)、(B)、(C)の構造においても同様に、コンデンサ3805を省略することは可能である。

【0194】なお、本実施例の構成は、実施例1~12の構成と自由に組み合わせて実施することが可能である。また、実施例18の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0195】[実施例17]実施例3で示したの液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yos

hida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第594569号に開示された液晶を用いることが可能である。

【0196】等方相-コレステリック相-カイラルスメクティックC相転移系列を示す強誘電性液晶(FLC)を用い、DC電圧を印加しながらコレステリック相-カイラルスメクティックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図39に示す。図39に示すような強誘電性液晶による表示モードは「H a l f-V字スイッチングモード」と呼ばれている。図39に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。「H a l f-V字スイッチングモード」については、寺田らの「H a l f-V字スイッチングモードFLCD」、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの「強誘電性液晶による時分割フルカラーLCD」、液晶第3巻第3号第190頁に詳しい。

【0197】図27に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本願発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0198】また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶(AFLC)という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約 ± 2.5 V程度(セル厚約 $1\mu\text{m}\sim 2\mu\text{m}$)のものも見出されている。

【0199】また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0200】なお、このような無しきい値反強誘電性混合液晶を本願発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0201】[実施例18] 本実施例では、本願発明のTFT回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について説明する。

【0202】このような半導体装置には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、

テレビ等が挙げられる。それらの一例を図15図19、図20に示す。

【0203】図15(A)は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明は音声出力部9002、音声入力部9003、及びアクティブマトリクス基板を備えた表示装置9004に適用することができる。

【0204】図15(B)はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本願発明は音声入力部9103、及びアクティブマトリクス基板を備えた表示装置9102、受像部9106に適用することができる。

【0205】図15(C)はモバイルコンピュータであり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本願発明は受像部9203、及びアクティブマトリクス基板を備えた表示装置9205に適用することができる。

【0206】図15(D)はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示装置9302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0207】図15(E)は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク(MD)やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型の表示装置であり、本願発明はこの適用することができる。

【0208】図19(A)はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。

【0209】図19(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0210】図19(C)はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。

【0211】図20(A)はフロント型プロジェクターであり、表示装置2601、スクリーン2602で構成される。本願発明は表示装置やその他の信号制御回路に

適用することができる。

【0212】図20(B)はリア型プロジェクターであり、本体2701、表示装置2702、ミラー2703、スクリーン2704で構成される。本願発明は表示装置やその他の信号制御回路に適用することができる。

【0213】なお、図27(C)は、図20(A)及び図20(B)中における表示装置2601、2702の構造の一例を示した図である。表示装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図20(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0214】また、図20(D)は、図20(C)中における光源光学系2810の構造の一例を示した図である。本実施例では、光源光学系2810は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図20(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。また、本願発明はその他にも、イメージセンサやEL型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

【0215】【実施例19】本実施例では、本発明をアクティブマトリクス型有機エレクトロルミネッセンス(有機EL)材料を用いた表示装置(有機EL表示装置)に適用した例を図28で説明する。図28(A)はガラス基板上に表示領域とその周辺に駆動回路を設けたアクティブマトリクス型有機EL表示装置の回路図を示す。この有機EL表示装置は、基板上に設けられた表示領域2811、X方向周辺駆動回路2812、Y方向周辺駆動回路2813から成る。この表示領域2811は、スイッチ用TFT2830、保持容量2832、電流制御用TFT2831、有機EL素子2833、X方向信号線2818a、2818b、電源線2819a、2819b、Y方向信号線2820a、2820b、2820cなどにより構成される。

【0216】図28(B)はほぼ一画素分の上面図を示している。スイッチ用TFT2830と電流制御用TFT2831は、実施例1、3の工程に基づいて作製されるnチャネル型TFTと同様にして形成する。

【0217】図29は図28(B)におけるB-B断面図であり、スイッチ用TFT2830、保持容量2832、電流制御用TFT2831および有機EL素子部の断面図を示している。そして、基板2840上に下地膜2841、2842、ゲート絶縁膜2845、第1の層間絶縁膜2846、ゲート電極2847、2848、容量配線2849、ソースおよびドレイン配線2818a、2819a、2851、2852、第2の層間絶縁膜2850は実施例1、3と同様にして作製する。そして、その上に第2の層間絶縁膜2850と同様にして、第3の層間絶縁膜2853を形成し、さらにドレイン配線2852に達するコンタクトホールを形成した後、透明導電膜から成る画素電極2854を形成する。有機EL素子部は、この画素電極2854とその画素電極上と第3の層間絶縁膜2853上に渡って形成された有機EL層2855と、その上に形成されたMgAg化合物からなる第1の電極2856、A1から成る第2の電極2857により形成されている。そして、図示しないがカラーフィルターを設ければカラー表示をすることも可能である。いずれにしても、実施例1、3で示したアクティブマトリクス基板の作製方法を応用すれば容易にアクティブマトリクス型有機EL表示装置を作製することができる。

【0218】本実施例のアクティブマトリクス型の有機EL表示装置のTFTは、実施形態および実施例1、3で示した発明に基づいて作製する。このような有機EL表示装置に好適に用いることが可能である。

【0219】

【発明の効果】本発明を実施することで、画素部のnチャネル型TFTに15～20Vのゲート電圧を印加して駆動させても、安定した動作を得ることができた。その結果、結晶性TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置の画素部や、その周辺に設けられる駆動回路の信頼性を高め、長時間の使用に耐える液晶表示装置を得ることができる。

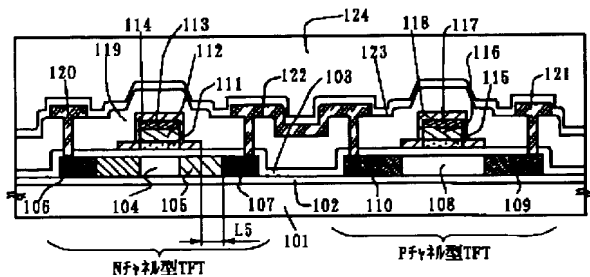
【図面の簡単な説明】

- 【図1】 本実施形態のTFTの断面図。
- 【図2】 TFTの作製工程を示す断面図。
- 【図3】 TFTの作製工程を示す断面図。
- 【図4】 TFTの作製工程を示す断面図。
- 【図5】 TFTの作製工程を示す断面図。
- 【図6】 TFTの作製工程を示す断面図。
- 【図7】 アクティブマトリクス基板の斜視図。
- 【図8】 画素部とCMOS回路の上面図
- 【図9】 結晶性シリコン膜の作製工程を示す図。
- 【図10】 結晶性シリコン膜の作製工程を示す図。
- 【図11】 結晶性シリコン膜の作製工程を示す図。
- 【図12】 結晶性シリコン膜の作製工程を示す図。
- 【図13】 TFTの作製工程を示す断面図。
- 【図14】 ゲート電極の構成を示す図。

- 【図15】 半導体装置の一例を示す図。
 【図16】 ゲート電極の構成を示す図。
 【図17】 TFTの構造と電気的特性を説明する図。
 【図18】 ゲート電極の構成を示す図。
 【図19】 半導体装置の一例を示す図。
 【図20】 プロジェクターの構成を説明する図。
 【図21】 アクティブマトリクス型のEL表示装置の構成を示す図。
 【図22】 アクティブマトリクス型のEL表示装置の構成を示す図。
 【図23】 アクティブマトリクス型のEL表示装置の画素部の構成を示す断面図。

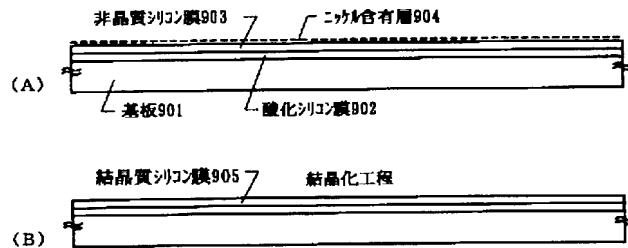
- 【図24】 アクティブマトリクス型のEL表示装置の画素部の構成を示す上面図と回路図。
 【図25】 アクティブマトリクス型のEL表示装置の画素部の構成を示す断面図。
 【図26】 アクティブマトリクス型のEL表示装置の画素部の構成を示す回路図。
 【図27】 反強誘電性混合液晶の光透過率特性の一例を示す図。
 【図28】 アクティブマトリクス型のEL表示装置の構成を示す図。
 【図29】 アクティブマトリクス型のEL表示装置の画素部の構成を示す断面図。

【図1】

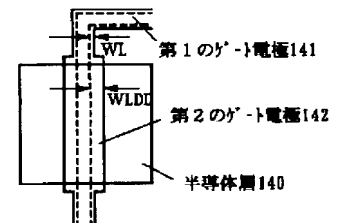


101:基板、102:下地膜、103:ゲート絶縁膜、104、108:P+形成領域、105:第1の不純物領域(n型)、106:P+領域(n型)、107:ドレイン領域(p型)、109:P+領域(p型)、110:ドレイン領域(p型)、111、116:導電層(A)、112、116:導電層(B)、113、117:導電層(C)、114、118:第2の導電層、119:第1の層間絶縁膜、120、121:P+配線、122:ドレイン配線、123:P+領域、124:第2の層間絶縁膜

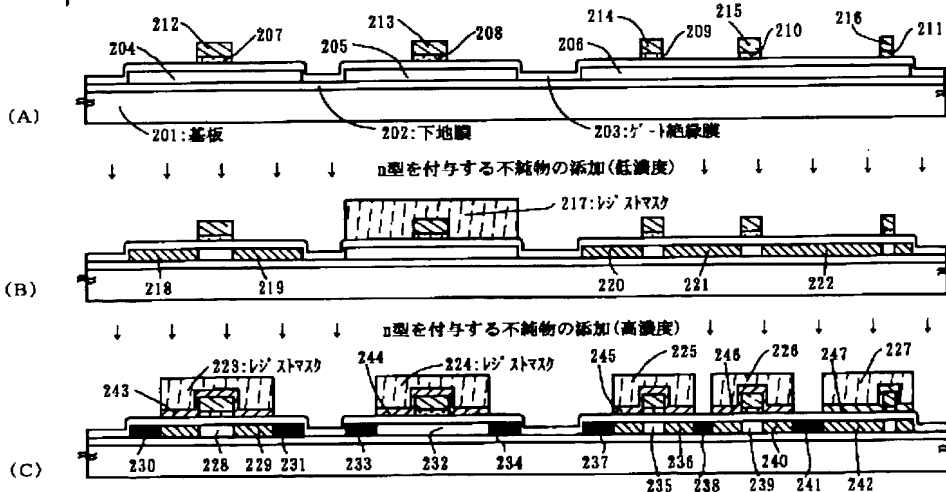
【図9】



【図18】

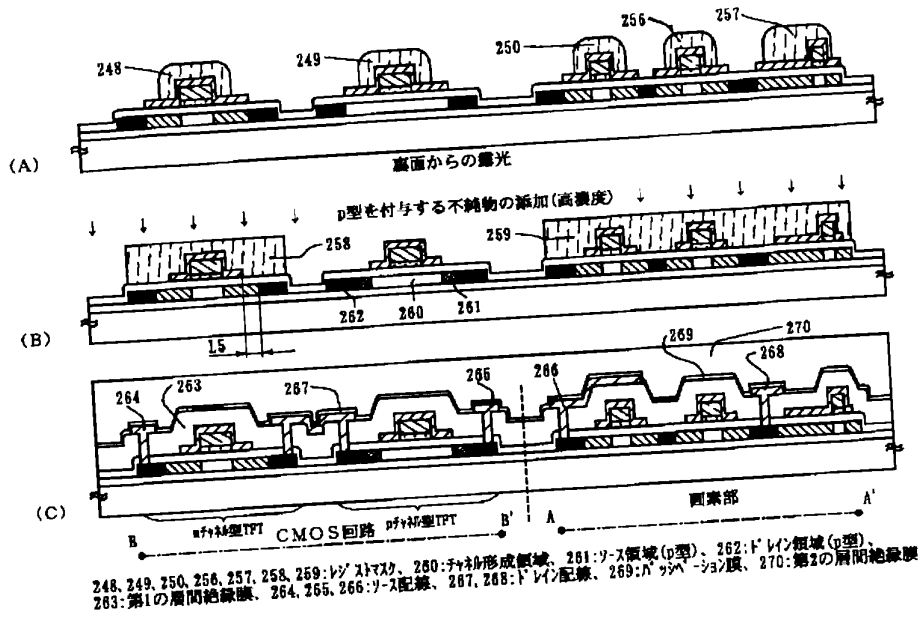


【図2】

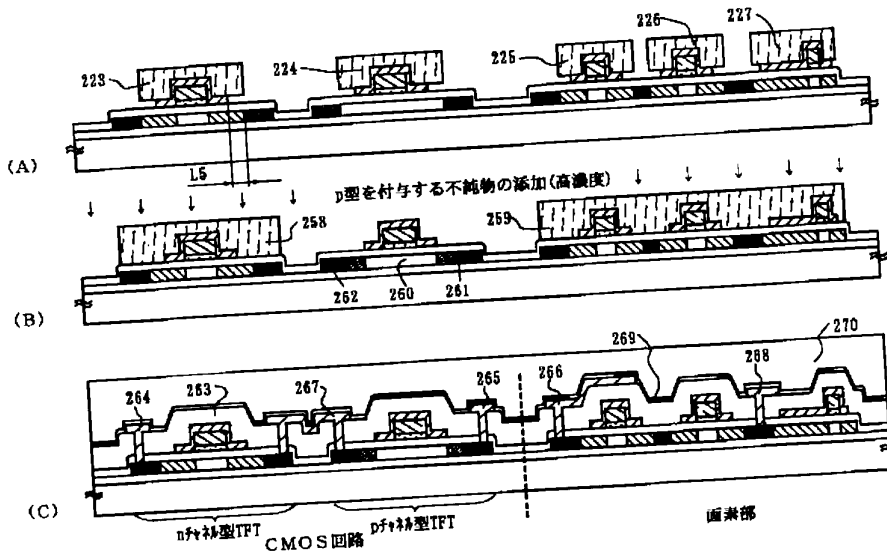


204、205、206:半導体層、207、208、209、210、211:導電層(A)、212、213、214、215、216:導電層(B)、217:P+領域、218、219、220、221、222:P+領域(n型)、223、224、225、226:P+領域(n型)、227:P+領域(n型)、228、229、230、231、232、233、234:P+領域(n型)、235、236、237:P+領域(n型)、238、239、240、241、242:P+領域(n型)、243:P+領域(n型)、244、245、246:第2の導電層、247:保持容量配線、248、249:P+領域

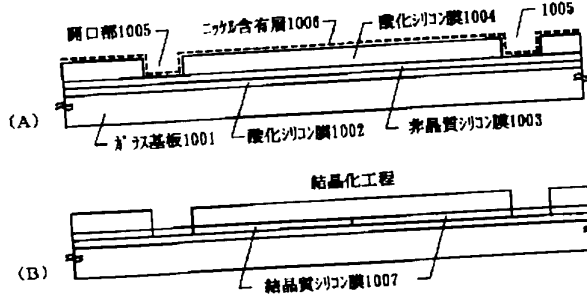
【図3】



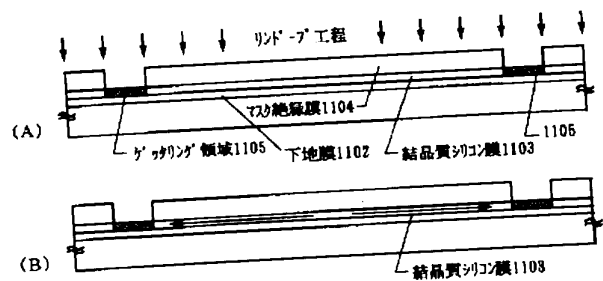
【図4】



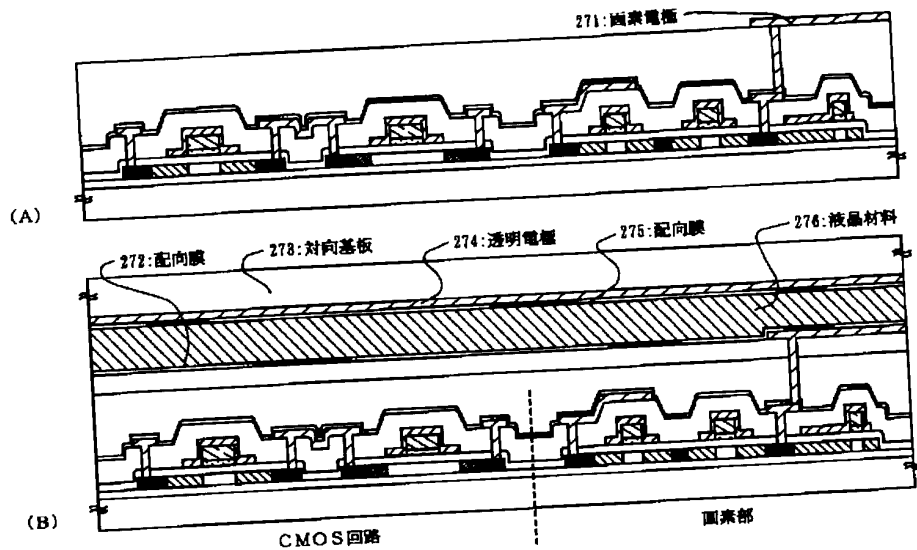
【図10】



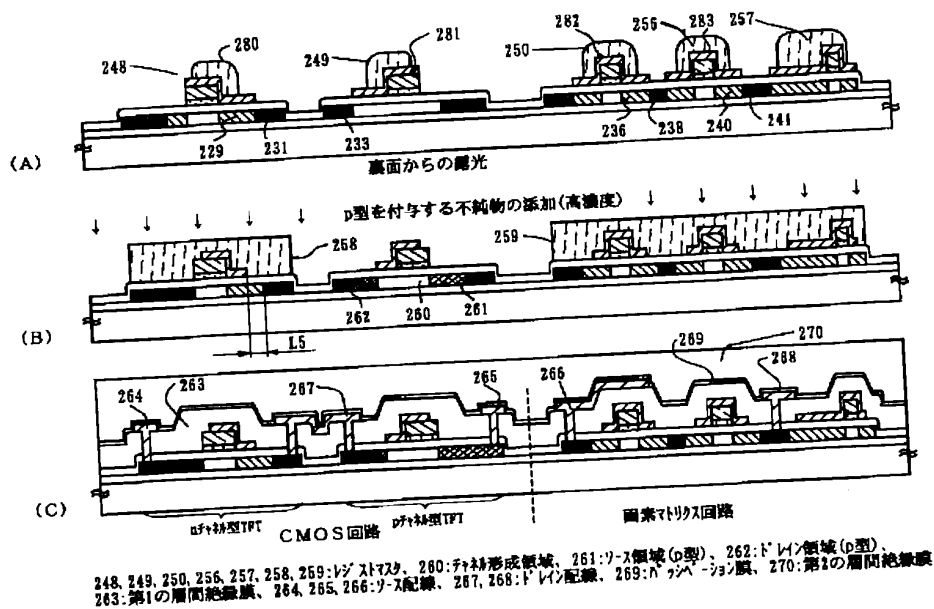
【図11】



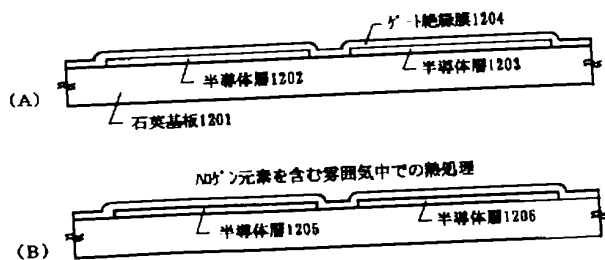
【図5】



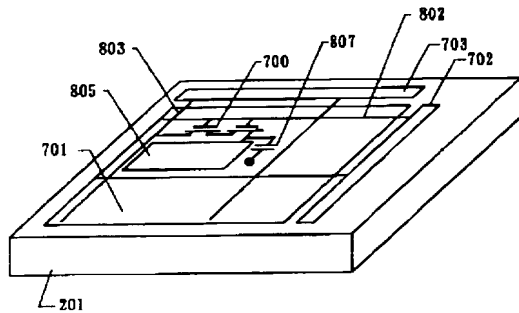
【図6】



【図12】



【図7】



201:基板

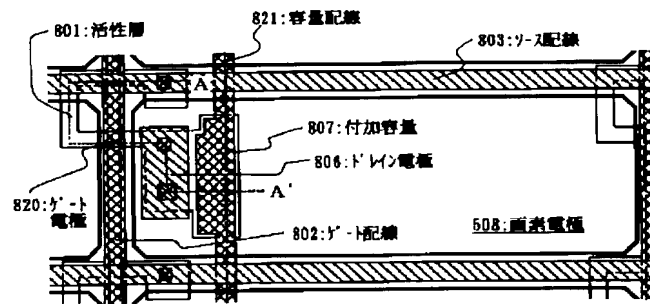
700:画素TFT

701:画素部

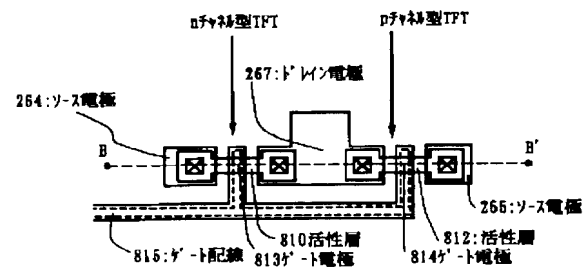
702:走査(ゲート)線駆動回路、703:信号(ソース)線駆動回路

802:ゲート配線、803:ソース配線、805:画素電極、807:付加容量

【図8】



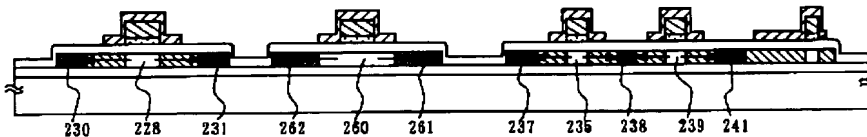
(A) 画素TFT回路上面図



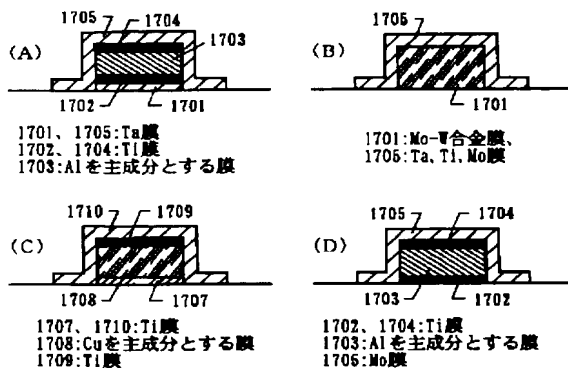
(B) CMOS回路上面図

【図13】

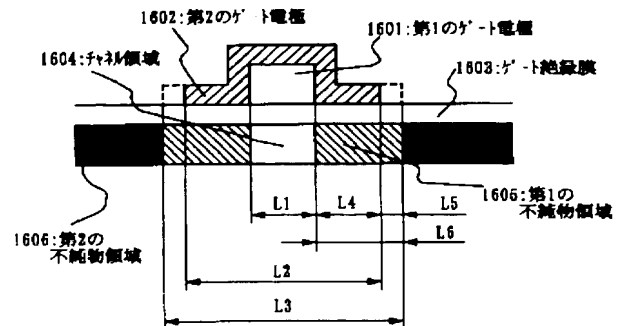
熱処理の工程



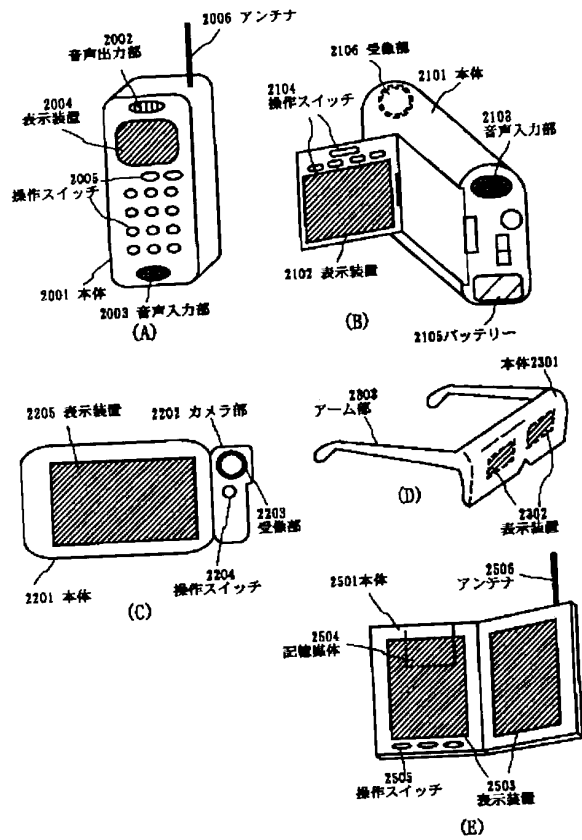
【図14】



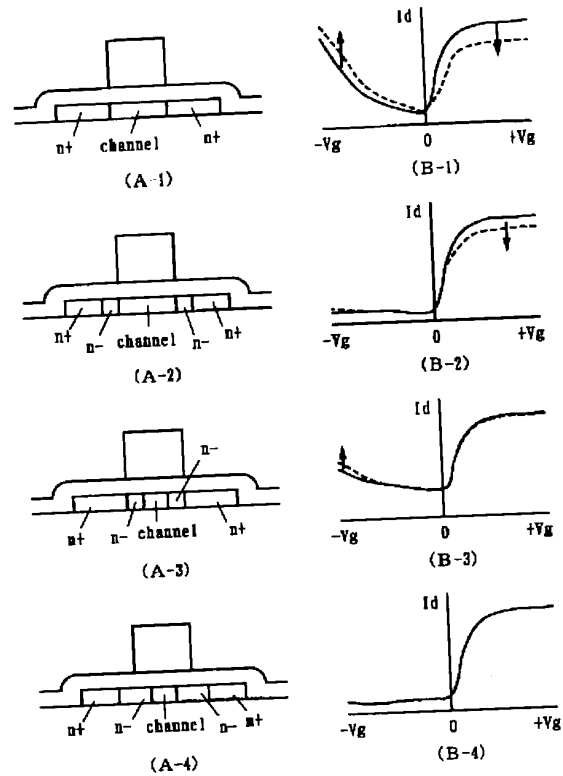
【図16】



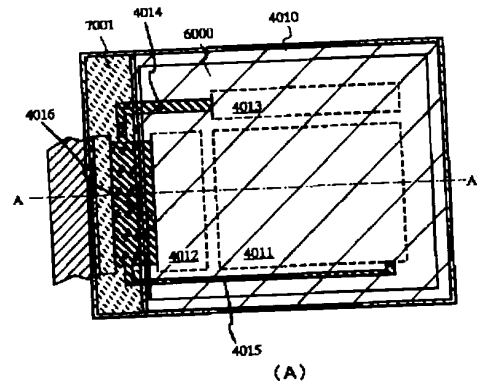
【図15】



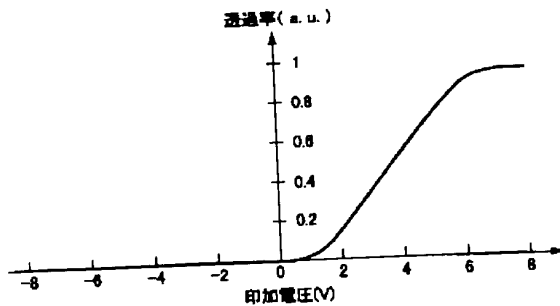
【図17】



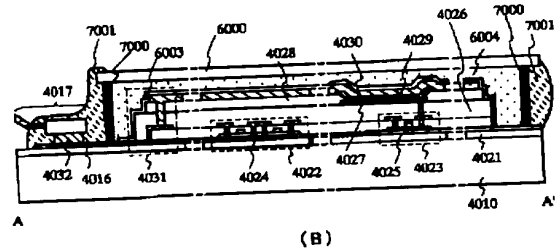
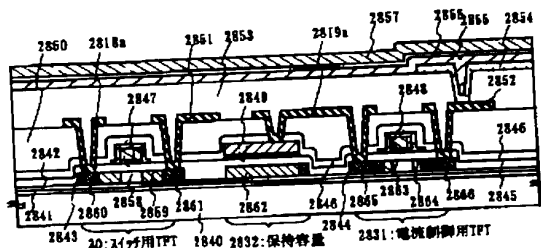
【図21】



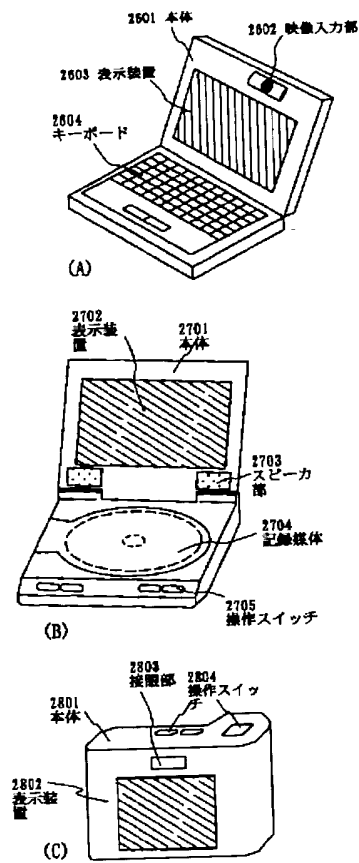
【図27】



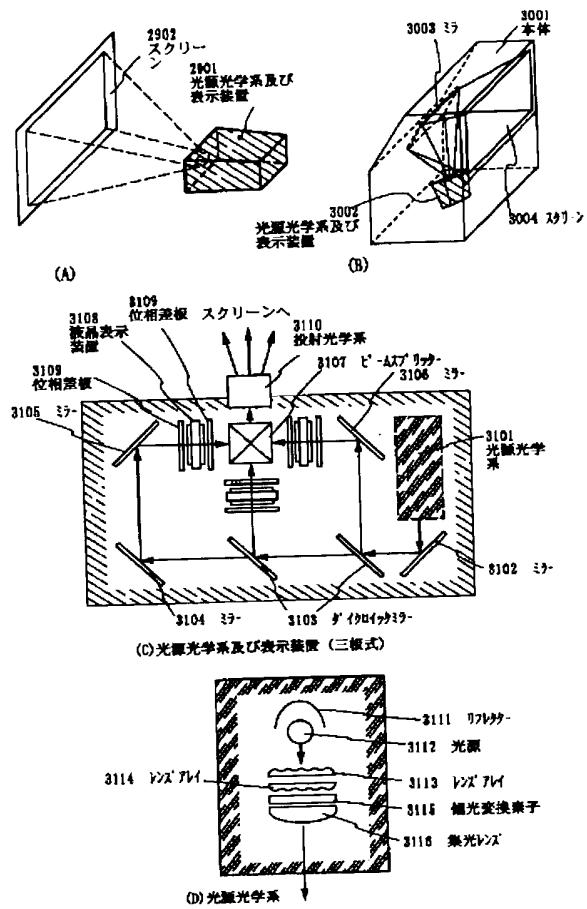
【図29】



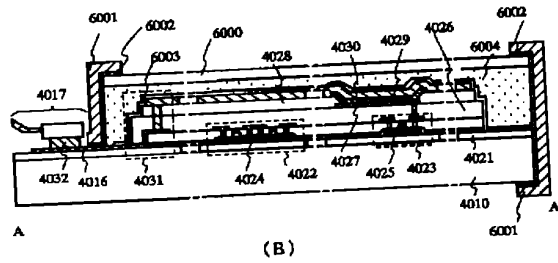
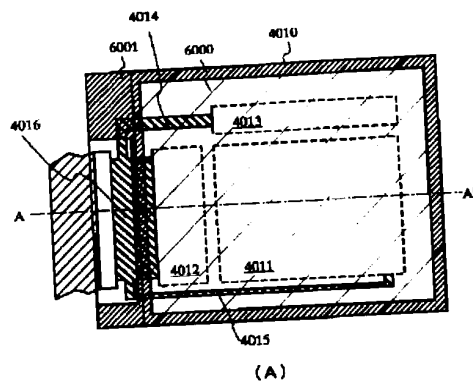
【図19】



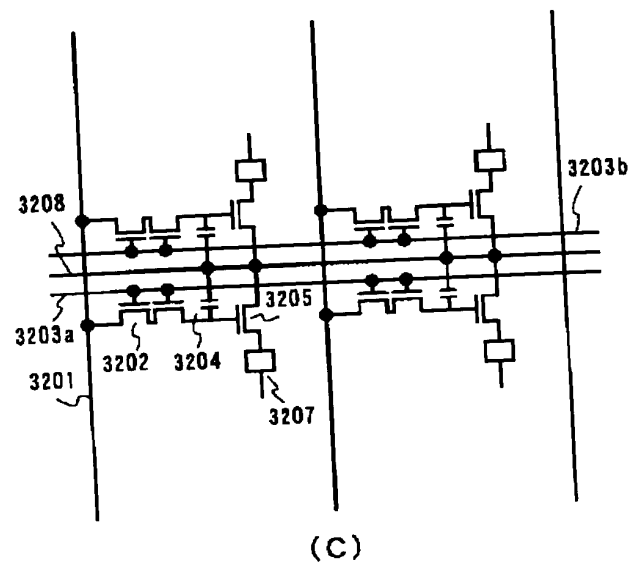
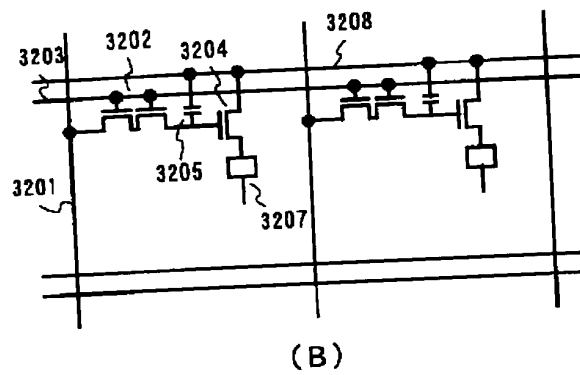
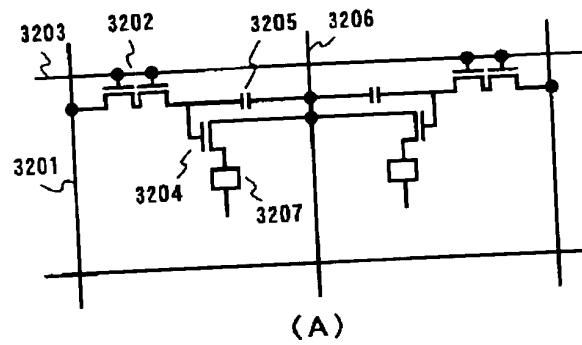
【図20】



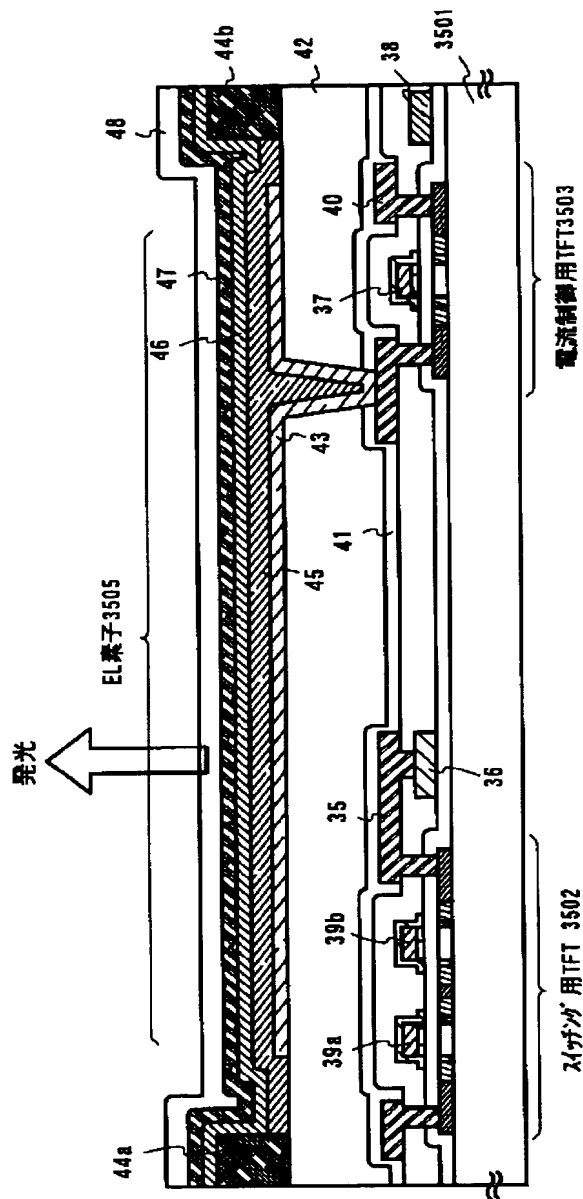
【図22】



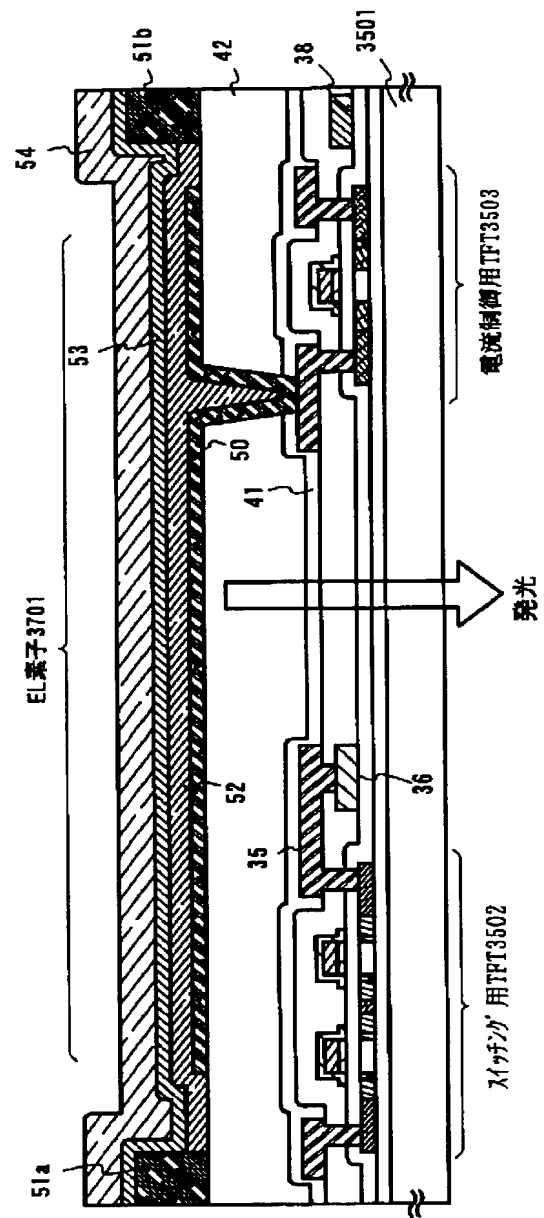
【図26】



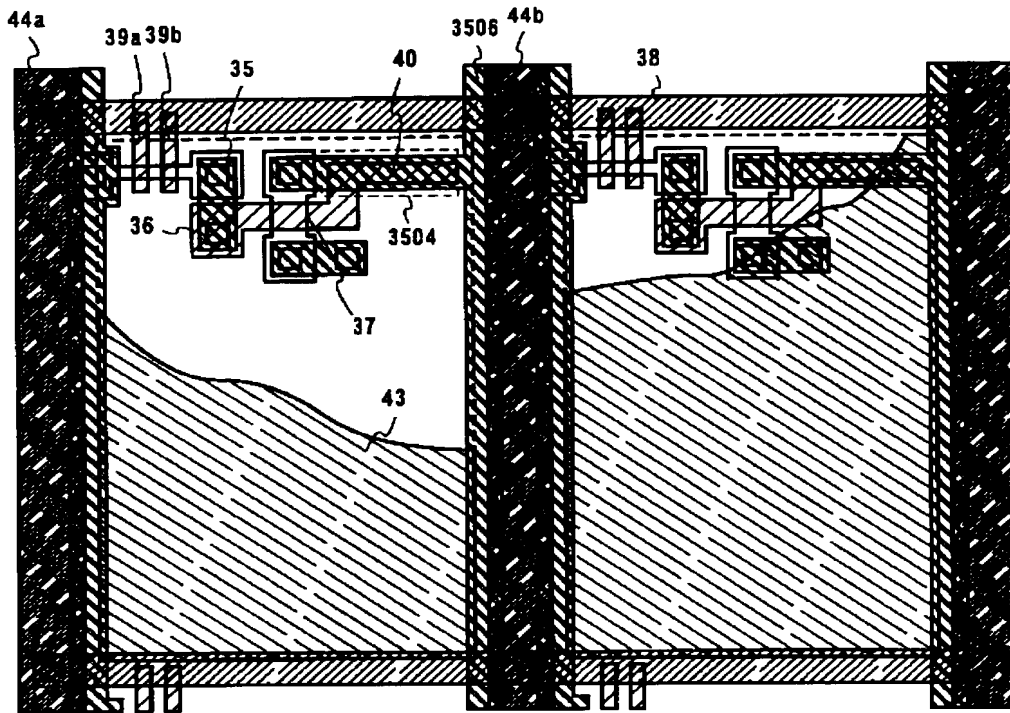
【図23】



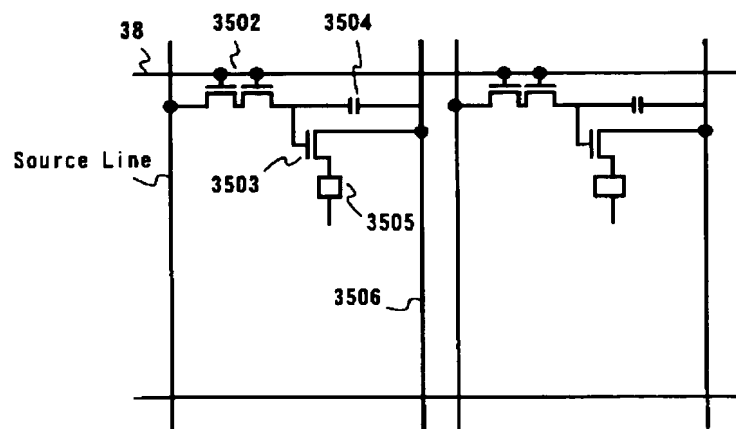
【図25】



【図24】



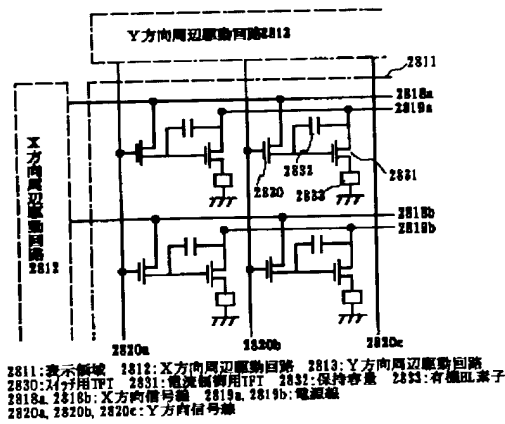
(A)



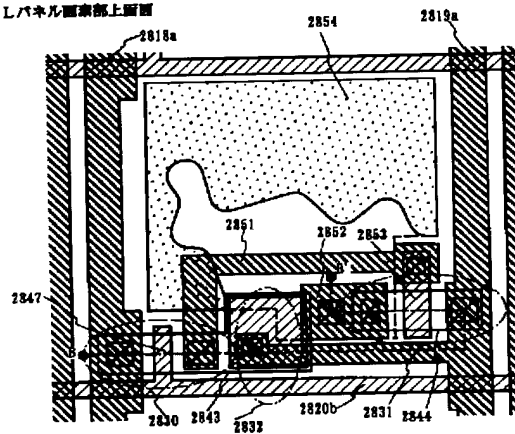
(B)

【図28】

(A) ELパネル回路図



(B) ELパネル面素子上面図



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 21/8238
 27/092
 27/08

識別記号

3 3 1

F I

H 0 1 L 27/08
 29/78

テ-マ-ド (参考)

3 2 1 E
 6 1 3 A
 6 1 7 L
 6 1 7 N